
**Preliminary**

# AMAZON

## Multimedia Graphic Processor

**Ver 2.2**
**July. 26, 2004**

**Advanced Digital Chips Inc.**

2003.8.22 Deleted PPM Interrupt bit.
2003.12.16 changed pin mux register2[11:8] for GPIO[25:24] mode
2004.1.6 changed pin mux register1[11:10] for GPIO[27] mode

**Amazon**
**High Performance Multimedia Processor**
**Data Book**



**Office**

4th Floor, Sam Kwang Bldg. 21-4, Samsung-Dong,
Kangnam-Ku, Seoul, 135-090 Korea

Tel : +82-2-545-4898
Fax : +82-2-545-4897
URL : http://www.adc.co.kr

Ver 2.2, dated July. 26, 2004, printed [04-09-01 오전 10:31 10:31] from Amazon_Pre_spec_010906.doc [2001-09-06 오후 4:29] 83 pages, 12420 words, 52208

# CONTENTS

## *FIGURES*



## *TABLES*

# 1 DESCRIPTIONS AND FEATURES

## 1.1 General Description

ADC's *Amazon* 32bit SEISC microcontroller is designed to provide a cost-effective and high performance micro controller solution for Video/Graphic processor. The *Amazon* integrated microprocessor combines a 32bit SEISC(SE3208) processor core with several peripheral functions such as timer, serial interface and etc. To speed program execution, the on-chip cache SRAM provide one-cycle access to code and data. *Amazon* supports video format for NTSC/PAL display monitor, it can be in local mode only for internal video image and remote mode for external video signal overlay. *Amazon* have graphic engine that base on 3D architecture and wave table synthesizer for audio data processing.

SE3208 is the family in EISC series and is optimized for Embedded Application and the general purpose 32bit and high-performance microprocessor. For all of this, SEISC makes code-density higher as taking the excellence of CISC and emploies Simple Instruction Set to simplify hardware.

*Amazon* can provide the cost-effective and high performance system solution for video applications such as game machine, karaoke, etc.

## 1.2 Features

**Built in 32bit CPU**

- High Performance EISC Core SE3208
- 4Kbyte Unified Cache
- Max Speed 40Mhz

**Video Processing**

- Support NTSC / PAL(B,D,G,H,I,N,M, Comb-N) Display Monitor
-

**Graphic Processing**

- Maximum 1024 pixel / Horizontal line
- Support 16bit Color Mode, Internally 24bit Processing
- Enhanced Architecture based on 3D
- Rectangle Drawing
- Zoom In/Out, Rotation
- Supports Vertical Flip Display
- Direct X Compatible Alpha Blending Functions
- Maximum 8Mbyte SDRAM for Video Frame Memory
- Maximum 8Mbyte SDRAM for Video Texture Memory
- Support 16bit Frame & Texture Memory Bus
- Max. 80Mhz operation frequency
- Rendering Performance 690 objects/sec @80Mhz, 640x480 resolution, 256x256(16bit) texture

**Audio Processing**

- 32 Channel, 16bit Wavetable Synthesizer
- Supports Reverberation Effect
- Support 8/16bit PCM, 8bit u-law Wave Format

**Memory management**

- RAM : SRAM, Sync DRAM support for Main Memory
- ROM : 8bit, 16 bit support for System Program
- External Chip Selectors with flexible data bus & Wait

**Peripheral functions**
- 2 channel DMA
- 27 Ch. Priority Interrupt controller
- 4 Ch. 16 bit Counter for timer
- 1 Ch. Synchronous Serial IO
- 2 Ch. UART with 16 * 8 bit FIFO
- 32 PIO (Peripheral Input Output)
- 1 Ch. PWM
- 2Ch. Light Pen

**High speed download support that use JTAG**

**Integration**
- Embedded Triple DAC
- Embedded PLL

**Process**
- 0.35um CMOS VLSI
- 3.3 Volt Operation
- 208 Pin LQFP Package

# 2 BLOCK DIAGRAM & PIN DESCRIPTION

## 2.1 Block Diagram

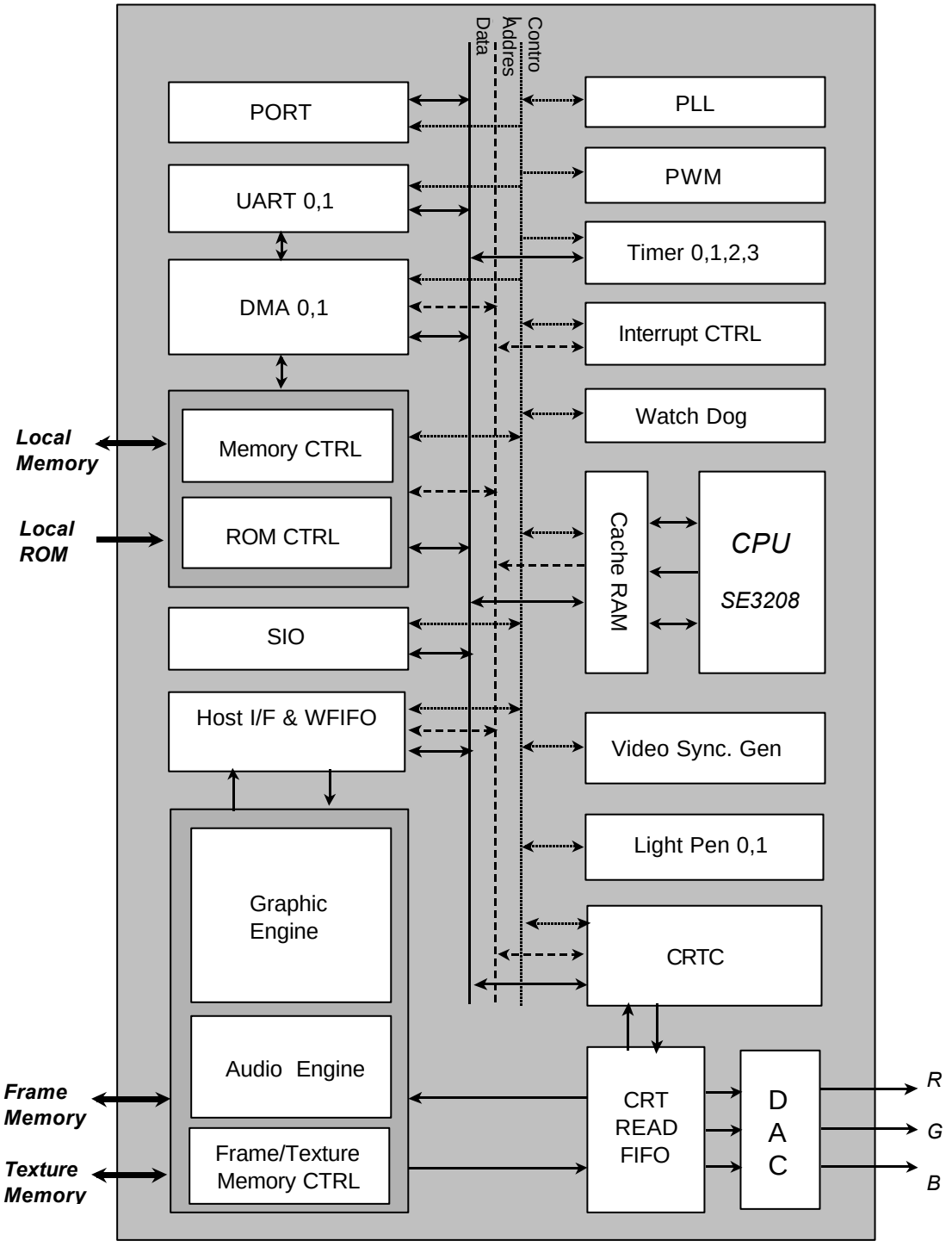



Figure 2.1-1 Internal Block Diagram

## 2.2 Package Diagram


Figure 2.2-1 Pin Diagram

## 2.3 Package Dimension

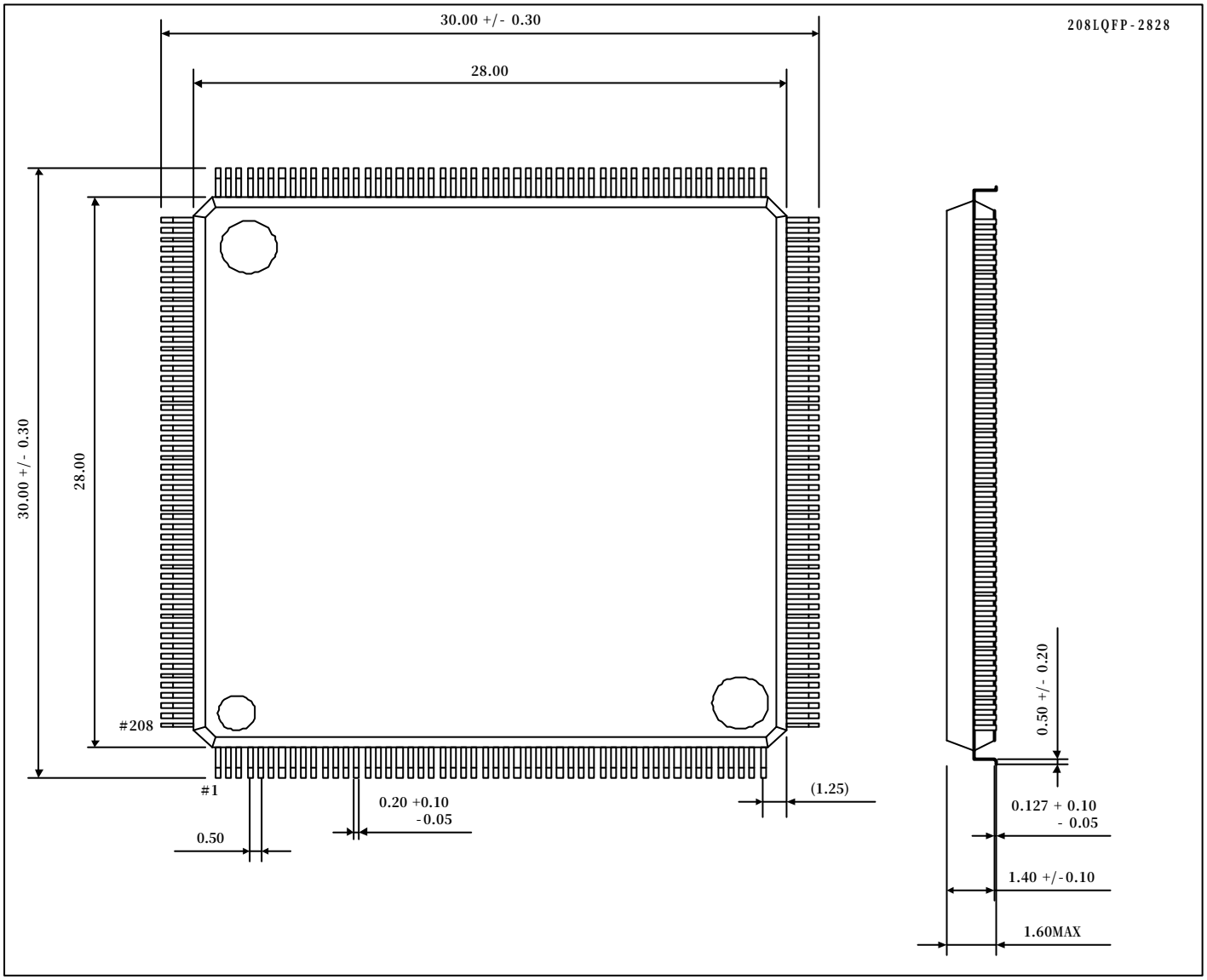



Figure 2.3-1 Package Dimension

## 2.4 Pin Information

| Bottom | | RIGHT | | TOP | | LEFT | |
|---|---|---|---|---|---|---|---|
| No | Pin Name | No | Pin Name | No | Pin Name | No | Pin Name |
| 1(I) | RESETX(t,s) | 53(O) | EXCSX/HALTX (j) | 105(O) | TX0/PCS1X(j) | 157(O) | FA11 |
| 2(O) | PLLFILTER | 54(B) | SWEX/INTX (t,j) | 106(B) | RX0/PCS2X(t,j) | 158(O) | FBA1 |
| 3 | AGND(VSSA,VBBA) | 55(B) | IRQ0X/INTAX/PCS5X (t,s,u,j) | 107(O) | TX1/SIOTXD(j) | 159(O) | FA9 |
| 4 | AVDD(VDDD,VDDA) | 56(B) | IRQ1X/GUN1/PIO24 (t,s,u,j) | 108(I) | RX1/SIORXD(t,j) | 160(O) | FA10 |
| 5 | GND(VSSD) | 57(B) | IRQ2X/GUN2/PIO25 (t,s,u,j) | 109(B) | TX1EN/PCS6X/SRDY(t,j) | 161(O) | FA8 |
| 6(I) | XIN | 58(O) | ROMCSX /AC_OUT (j) | 110(B) | UCLK/PCS7X(t,j) | 162(O) | FA0 |
| 7(O) | XOUT | 59(O) | RDX / DC_OUT (j) | 111(B) | PWM/PIO26/SCK(t,j) | 163(O) | FA7 |
| 8(I) | TEST(t) | 60(O) | WRX / cmpout (j) | 112 | GND(VSSO) | 164(O) | FA1 |
| 9(O) | BE0X(A0) (j) | 61(I) | IRDYX(t,j) | 113(I) | IREF | 165(O) | FA6 |
| 10(O) | BE1X (j) | 62(B) | D0(t,j) | 114(I) | VBIAS | 166(O) | FA2 |
| 11(O) | BE2X(A1) (j) | 63(B) | D1(t,j) | 115(O) | COMP | 167(O) | FA5 |
| 12(O) | BE3X/PCS0X (j) | 64(B) | D2(t,j) | 116(O) | Blue | 168(O) | FA3 |
| 13 | GND | 65 | GND | 117 | AVDD(VDDA) | 169(O) | FA4 |
| 14 | VDDO | 66 | VDDI | 118 | AGND(VSSA) | 170 | GND(VSSO) |
| 15(O) | RA0(A2) | 67(B) | D3(t,j) | 119(O) | Green | 171 | GND(VSSO) |
| 16(O) | RA1(A3) (j) | 68(B) | D4(t,j) | 120 | AGND(VBBA) | 172(B) | TD0/dactdr0 |
| 17(O) | RA2(A4) (j) | 69(B) | D5(t,j) | 121 | AGND(VSSA) | 173(B) | TD15/dactdg7 |
| 18(O) | RA3(A5) (j) | 70(B) | D6(t,j) | 122(O) | Red | 174(B) | TD1/dactdr1 |
| 19(O) | RA4(A6) (j) | 71(B) | D7(t,j) | 123 | AVDD(VDDA) | 175(B) | TD14/dactdg6 |
| 20(O) | RA5(A7) (j) | 72(B) | D8(t,j) | 124 | VDD(VDDD) | 176(B) | TD2/dactdr2 |
| 21(O) | RA6(A8) (j) | 73(B) | D9(t,j) | 125 | GND(VSSD) | 177(B) | TD13/dactdg5 |
| 22(O) | RA7(A9) (j) | 74(B) | D10(t,j) | 126(O) | DCLK | 178(B) | TD3/dactdr3 |
| 23(O) | RA8(A10) (j) | 75(B) | D11(t,j) | 127(O) | VSYNC | 179(B) | TD12/dactdg4 |
| 24(O) | RA9(A11) (j) | 76(B) | D12(t,j) | 128(O) | CSYNC/DISPEN | 180(B) | TD4/dactdr4 |
| 25(O) | RA10(A12) (j) | 77(B) | D13(t,j) | 129(O) | HSYNC | 181(B) | TD11/dactdg3 |
| 26 | GND | 78 | GND | 130 | GND | 182 | GND |
| 27 | VDDP | 79 | VDDI | 131 | VDDP | 183 | VDDO |
| 28(O) | RA11(A13) (j) | 80(B) | D14(t,j) | 132(O) | CBCLK | 184(B) | TD5/dactdr5 |
| 29(O) | RA12(A14) (j) | 81(B) | D15(t,j) | 133(I) | VCLK (t) | 185(B) | TD10/dactdg2 |
| 30(O) | BA0(A15) (j) | 82(B) | D16 /PIO0/pixel0(t,j) | 134(B) | FD0/dactdb0 | 186(B) | TD6/dactdr6 |
| 31(O) | BA1(A16) (j) | 83(B) | D17 /PIO1/pixel1(t,j) | 135(B) | FD15 | 187(B) | TD9/dactdg1 |
| 32(B) | A17/PIO16/cta0 (t,j) | 84(B) | D18 /PIO2/pixel2(t,j) | 136(B) | FD1/dactdb1 | 188(B) | TD7/dactdr7 |
| 33(B) | A18/PIO17/cta1 (t,j) | 85(B) | D19 /PIO3/pixel3(t,j) | 137(B) | FD14 | 189(B) | TD8/dactdg0 |
| 34(B) | A19/PIO18/cta2 (t,j) | 86(B) | D20 /PIO4/pixel4(t,j) | 138(B) | FD2/dactdb2 | 190(O) | TWEX |
| 35(B) | A20/PIO19/cta3 (t,j) | 87(B) | D21 /PIO5/pixel5(t,j) | 139(B) | FD13 | 191(O) | TCASX |
| 36(B) | A21/PIO20/cta4 (t,j) | 88(B) | D22 /PIO6/pixel6(t,j) | 140(B) | FD3/dactdb3 | 192(O) | TRASX |
| 37(B) | A22/PIO21/cta5 (t,j) | 89(B) | D23 /PIO7/pixel7(t,j) | 141(B) | FD12 | 193(O) | TBA0 |
| 38(B) | A23/PIO22/cta6 (t,j) | 90(B) | D24 /PIO8/pixel8(t,j) | 142(B) | FD4/dactdb4 | 194(O) | TA11 |
| 39(B) | A24/PIO23/cta7 (t,j) | 91(B) | D25 /PIO9/pixel9(t,j) | 143(B) | FD11 | 195(O) | TBA1 |
| 40 | GND | 92 | GND | 144 | GND | 196 | GND |
| 41 | VDDO | 93 | VDDO | 145 | VDDO | 197 | VDDI |
| 42(B) | A25/cta8 (t,j) | 94(B) | D26 /PIO10/pixel10(t,j) | 146(B) | FD5/dactdb5 | 198(O) | TA9 |
| 43(O) | LSDRCLK (j) | 95(B) | D27 /PIO11/pixel11(t,j) | 147(B) | FD10 | 199(O) | TA10 |
| 44(B) | A26/cta9 (t,j) = ctwrx | 96(B) | D28 /PIO12/pixel12(t,j) | 148(B) | FD6/dactdb6 | 200(O) | TA8 |
| 45(B) | A27/PIO27/ctrdx/NMIX (t,j) | 97(B) | D29 /PIO13/pixel13(t,j) | 149(B) | FD9/dactclk | 201(B) | TA0/Cfg0 |
| 46(O) | A28/DQM0(SBE0X)/CAS0X(j) | 98(B) | D30 /PIO14/pixel14(t,j) | 150(B) | FD7/dactdb7 | 202(O) | TA7 |
| 47(O) | A29/DQM1(SBE1X)/CAS1X(j) | 99(B) | D31 /PIO15/pixel15(t,j) | 151(B) | FD8/dactpd | 203(B) | TA1/Cfg1 |
| 48(O) | A30/DQM2(SBE2X)/CAS2X(j) | 100(B) | DREQ0X/PIO28/PCS3X/TRST(t,s) | 152(O) | VSDRCLK | 204(B) | TA6/Cfg6 |
| 49(O) | A31/DQM3(SBE3X)/CAS3X(j) | 101(B) | DACK0X/PIO29/PCS4X/TCK(t) | 153(O) | FWEX | 205(B) | TA2/Cfg2 |
| 50(B) | SRASX(MWE0X)/HOLDX (t,j) | 102(B) | DREQ1X/PIO30/SBCK/TMS(t,s) | 154(O) | FCASX | 206(B) | TA5/Cfg5 |
| 51(O) | SCASX/HLDAX (j) | 103(B) | DACK1X/PIO31/SDAT/TDI(t) | 155(O) | FRASX | 207(B) | TA3/Cfg3 |
| 52(O) | MCS0X(RASX) (j) | 104(B) | DTC/IRQ3X/SLRCK/TDO(t,s) | 156(O) | FBA0 | 208(B) | TA4/Cfg4 |

Nand Tree Test : IRDYX (start point) -->IRQ2X(end point) -->RDX (DC_OUT monitor) , ROMCSX(AC_OUT monitor)
(s)표시는 Schmitt PAD임
(u)표시는 Pull-up PAD임
(J)표시는 JTAG를 이용할 수 있는 pin이다.

I : Input pin O: Output pin B: Bi-directional pin
P: VDD pin G: VSS pin
TTLS : TTL type Schmitt

Od : Open Drain type

| Pkg pin No. | PIN Name | I/O | Entity name | Output drive current | Pull up/down | I/O interface |
|---|---|---|---|---|---|---|
| 1 | RESETX | I | PTIS | - | Null | TTLS |
| 2 | PLLFILTER | O | POAR50_BB | | Null | Analog |
| 3 | GND | G | VSSA,VBBA | - | - | - |
| 4 | VDD | P | VDDD,VDDA | - | - | - |
| 5 | GND | G | VSSD | - | - | - |
| 6 | XIN | I | PSOSCM2 | | Null | Oscillator Pad |
| 7 | XOUT | O | PSOSCM2 | | Null | Oscillator Pad |
| 8 | TEST | I | PTIC | - | Null | TTL |
| 9 | A1_0[0] / BE[0] | O | POB4 | 4mA | Null | TTL |
| 10 | BEX1 / BE[1] | O | POB4 | 4mA | Null | TTL |
| 11 | A1_0[1]/ BE[2] | O | POB4 | 4mA | Null | TTL |
| 12 | PCS0X / BE[3] | O | POB4 | 4mA | Null | TTL |
| 13 | GND | G | VSSO | | | |
| 14 | VDD | P | VDD3O | | | |
| 15 | RA12_0[0] | O | POB4 | 4mA | Null | TTL |
| 16 | RA12_0[1] | O | POB4 | 4mA | Null | TTL |
| 17 | RA12_0[2] | O | POB4 | 4mA | Null | TTL |
| 18 | RA12_0[3] | O | POB4 | 4mA | Null | TTL |
| 19 | RA12_0[4] | O | POB4 | 4mA | Null | TTL |
| 20 | RA12_0[5] | O | POB4 | 4mA | Null | TTL |
| 21 | RA12_0[6] | O | POB4 | 4mA | Null | TTL |
| 22 | RA12_0[7] | O | POB4 | 4mA | Null | TTL |
| 23 | RA12_0[8] | O | POB4 | 4mA | Null | TTL |
| 24 | RA12_0[9] | O | POB4 | 4mA | Null | TTL |
| 25 | RA12_0[10] | O | POB4 | 4mA | Null | TTL |
| 26 | GND | G | VSSP | - | - | - |
| 27 | VDD | P | VDD3P | - | - | - |
| 28 | RA12_0[11] | O | POB4 | 4mA | Null | TTL |
| 29 | RA12_0[12] | O | POB4 | 4mA | Null | TTL |
| 30 | BA1_0[0] | O | POB4 | 4mA | Null | TTL |
| 31 | BA1_0[1] | O | POB4 | 4mA | Null | TTL |
| 32 | PIO16 / A17 | B | PTBCT4 | 4mA | Null | TTL |
| 33 | PIO17 / A18 | B | PTBCT4 | 4mA | Null | TTL |
| 34 | PIO18 / A19 | B | PTBCT4 | 4mA | Null | TTL |
| 35 | PIO19 / A20 | B | PTBCT4 | 4mA | Null | TTL |
| 36 | PIO20 / A21 | B | PTBCT4 | 4mA | Null | TTL |
| 37 | PIO21 / A22 | B | PTBCT4 | 4mA | Null | TTL |
| 38 | PIO22 / A23 | B | PTBCT4 | 4mA | Null | TTL |
| 39 | PIO23 / A24 | B | PTBCT4 | 4mA | Null | TTL |
| 40 | GND | G | VSSO | - | - | - |
| 41 | VDD | P | VDD3O | - | - | - |
| 42 | A25 | B | PTBCT4 | 4mA | Null | TTL |
| 43 | LSDRCLK | O | POB4 | 4mA | Null | TTL |
| 44 | A26 | B | PTBCT4 | 4mA | Null | TTL |
| 45 | A27 / PIO27/NMI# | B | PTBCT4 | 4mA | Null | TTL |
| 46 | A28/DQM0(SBE0#)/CAS0# | O | POB4 | 4mA | Null | TTL |
| 47 | A29/DQM1(SBE1#)/CAS1# | O | POB4 | 4mA | Null | TTL |
| 48 | A30/DQM2(SBE2#)/CAS2# | O | POB4 | 4mA | Null | TTL |
| 49 | A31/DQM3(SBE3#)/CAS3# | O | POB4 | 4mA | Null | TTL |
| 50 | SRAS# / MWE# (HOLD#) | B | PTBCT4 | 4mA | Null | TTL |
| 51 | SCAS# (HLDA#) | O | POB4 | 4mA | Null | TTL |
| 52 | MCS# / RAS# | O | POB4 | 4mA | Null | TTL |
| 53 | EXCS# (HALT#) | O | POB4 | 4mA | Null | TTL |
| 54 | SWE# (INT#) | B | PTBCT4 | 4mA | Null | TTL |
| 55 | IRQ0# / PCS5# (INTA#) | B | PTBSUT4 | 4mA | Null | TTLS,Up |
| 56 | IRQ1# / GUN1 / PIO24 | B | PTBSUT4 | 4mA | Null | TTLS,Up |

| | | | | | | |
|---|---|---|---|---|---|---|
| 57 | IRQ2# / GUN2 / PIO25 | B | PTBSUT4 | 4mA | Null | TTLS,UP |
| 58 | ROMCS# | O | POB4 | 4mA | Null | TTL |
| 59 | RD# | O | POB4 | 4mA | Null | TTL |
| 60 | WR# | O | POB4 | 4mA | Null | TTL |
| 61 | IRDY# | I | PITC | - | Null | TTL |
| 62 | D[0] | B | PTBCT4 | 4mA | Null | TTL |
| 63 | D[1] | B | PTBCT4 | 4mA | Null | TTL |
| 64 | D[2] | B | PTBCT4 | 4mA | Null | TTL |
| 65 | GND | G | VSSI | - | - | - |
| 66 | VDD | P | VDDI | - | - | - |
| 67 | D[3] | B | PTBCT4 | 4mA | Null | TTL |
| 68 | D[4] | B | PTBCT4 | 4mA | Null | TTL |
| 69 | D[5] | B | PTBCT4 | 4mA | Null | TTL |
| 70 | D[6] | B | PTBCT4 | 4mA | Null | TTL |
| 71 | D[7] | B | PTBCT4 | 4mA | Null | TTL |
| 72 | D[8] | B | PTBCT4 | 4mA | Null | TTL |
| 73 | D[9] | B | PTBCT4 | 4mA | Null | TTL |
| 74 | D[10] | B | PTBCT4 | 4mA | Null | TTL |
| 75 | D[11] | B | PTBCT4 | 4mA | Null | TTL |
| 76 | D[12] | B | PTBCT4 | 4mA | Null | TTL |
| 77 | D[13] | B | PTBCT4 | 4mA | Null | TTL |
| 78 | GND | G | VSSI | - | - | - |
| 79 | VDD | P | VDD3I | - | - | - |
| 80 | D[14] | B | PTBCT4 | 4mA | Null | TTL |
| 81 | D[15] | B | PTBCT4 | 4mA | Null | TTL |
| 82 | D[16] / PIO0 | B | PTBCT4 | 4mA | Null | TTL |
| 83 | D[17] / PIO1 | B | PTBCT4 | 4mA | Null | TTL |
| 84 | D[18]/PIO2 | B | PTBCT4 | 4mA | Null | TTL |
| 85 | D[19]/PIO3 | B | PTBCT4 | - | - | - |
| 86 | D[20]/PIO4 | B | PTBCT4 | 4mA | Null | TTL |
| 87 | D[21]/PIO5 | B | PTBCT4 | - | - | - |
| 88 | D[22]/PIO6 | B | PTBCT4 | 4mA | Null | TTL |
| 89 | D[23]/PIO7 | B | PTBCT4 | 4mA | Null | TTL |
| 90 | D[24]/PIO8 | B | PTBCT4 | 4mA | Null | TTL |
| 91 | D[25]/PIO9 | B | PTBCT4 | | Null | TTL |
| 92 | GND | G | VSSO | - | - | - |
| 93 | VDD | P | VDD3O | - | - | - |
| 94 | D[26]/PIO10 | B | PTBCT4 | 4mA | Null | TTL |
| 95 | D[27]/PIO11 | B | PTBCT4 | 4mA | Null | TTL |
| 96 | D[28]/PIO12 | B | PTBCT4 | 4mA | Null | TTL |
| 97 | D[29]/PIO13 | B | PTBCT4 | 4mA | Null | TTL |
| 98 | D[30]/PIO14 | B | PTBCT4 | 4mA | Null | TTL |
| 99 | D[31]/PIO15 | B | PTBCT4 | 4mA | Null | TTL |
| 100 | DREQ0# / PIO28 / PCS3#/TRST | B | PTBST4 | 4mA | Null | TTLS |
| 101 | DACK0# / PIO29 / PCS4# / TCK | B | PTBCT4 | 4mA | Null | TTL |
| 102 | DREQ1# / PIO30 / SBCK / TMS | B | PTBST4 | 4mA | Null | TTLS |
| 103 | DACK1# / PIO31 / SDAT / TDI | B | PTBCT4 | 4mA | Null | TTL |
| 104 | DTC / IRQ3 / SLRCK /TDO | B | PTBST4 | 4mA | Null | TTLS |
| 105 | TX0 / PCS1# | O | POB4 | 4mA | Null | TTL |
| 106 | RX0 / PCS2# | B | PTBCT4 | 4mA- | Null | TTL |
| 107 | TX1 / SIOTXD | O | POB4 | 4mA | Null | TTL |
| 108 | RX1 / SIORXD | I | PTIC | - | Null | TTL |
| 109 | TX1EN# / PCS6# / SRDY | B | PTBCT4 | 4mA | Null | TTL |
| 110 | UCLK / PCS7# | B | PTBCT4 | 4mA | Null | TTL |
| 111 | PWM / PIO26/SCK | B | PTBCT4 | 4mA | Null | TTL |
| 112 | GND | G | VSSO | - | - | - |
| 113 | IREF | I | PIA_BB | - | - | Analog |
| 114 | VBIAS | I | PIA_BB | - | - | Analog |

| | | | | | | |
|---|---|---|---|---|---|---|
| 115 | COMP | O | POA_BB | - | - | Analog |
| 116 | B | O | POA_BB | - | - | Analog |
| 117 | VDD | P | VDDA | - | - | Analog Power |
| 118 | GND | G | VSSA | - | - | Analog GND |
| 119 | G | O | POA_BB | - | - | Analog |
| 120 | GND | G | VBBA | - | - | Analog GND |
| 121 | GND | G | VSSA | - | - | Analog GND |
| 122 | R | O | POA_BB | - | - | Analog |
| 123 | VDD | P | VDDA | - | - | Analog Power |
| 124 | VDD | P | VDDD | - | - | Digital Power |
| 125 | GND | G | VSSD | - | - | Digital GND |
| 126 | DCLK | B | POB4 | 4mA | Null | TTL |
| 127 | VSYNC | O | POB4 | 4mA | Null | TTL |
| 128 | CSYNC/DISPEN | O | POB4 | 4mA | Null | TTL |
| 129 | HSYNC | O | POB4 | 4mA | Null | TTL |
| 130 | GND | G | VSSP | - | - | - |
| 131 | VDD | P | VDD3P | - | - | - |
| 132 | CBCLK | O | POB4 | 4mA | Null | TTL |
| 133 | VCLK | I | PTIC | - | Null | TTL |
| 134 | FD[0] | B | PBCT4 | 4mA | Null | TTL |
| 135 | FD[15] | B | PBCT4 | 4mA | Null | TTL |
| 136 | FD[1] | B | PBCT4 | 4mA | Null | TTL |
| 137 | FD[14] | B | PBCT4 | 4mA | Null | TTL |
| 138 | FD[2] | B | PBCT4 | 4mA | Null | TTL |
| 139 | FD[13] | B | PBCT4 | 4mA | Null | TTL |
| 140 | FD[3] | B | PBCT4 | 4mA | Null | TTL |
| 141 | FD[12] | B | PBCT4 | 4mA | Null; | TTL |
| 142 | FD[4] | B | PBCT4 | 4mA | Null | TTL |
| 143 | FD[11] | B | PBCT4 | 4mA | Null | TTL |
| 144 | GND | G | VSSO | - | - | - |
| 145 | VDD | P | VDD3O | - | - | - |
| 146 | FD[5] | B | PBCT4 | 4mA | Null | TTL |
| 147 | FD[10] | B | PBCT4 | 4mA | Null | TTL |
| 148 | FD[6] | B | PBCT4 | 4mA | Null | TTL |
| 149 | FD[9] | B | PBCT4 | 4mA | Null | TTL |
| 150 | FD[7] | B | PBCT4 | 4mA | Null | TTL |
| 151 | FD[8] | B | PBCT4 | 4mA | Null | TTL |
| 152 | VSDRCLK | O | POB4 | 4mA | Null | TTL |
| 153 | FWEX | O | POB4 | 4mA | Null | TTL |
| 154 | FCASX | O | POB4 | 4mA | Null | TTL |
| 155 | FRASX | O | POB4 | 4mA | Null | TTL |
| 156 | FBA[0] | O | POB4 | 4mA | Null | TTL |
| 157 | FA[11] | O | POB4 | 4mA | Null | TTL |
| 158 | FBA[1] | O | POB4 | 4mA | Null | TTL |
| 159 | FA[9] | O | POB4 | 4mA | Null | TTL |
| 160 | FA[10] | O | POB4 | 4mA | Null | TTL |
| 161 | FA[8] | O | POB4 | 4mA | Null | TTL |
| 162 | FA[0] | O | POB4 | 4mA | Null | TTL |
| 163 | FA[7] | O | POB4 | 4mA | Null | TTL |
| 164 | FA[1] | O | POB4 | 4mA | Null | TTL |
| 165 | FA[6] | O | POB4 | 4mA | Null | TTL |
| 166 | FA[2] | O | POB4 | 4mA | Null | TTL |
| 167 | FA[5] | O | POB4 | 4mA | Null | TTL |
| 168 | FA[3] | O | POB4 | 4mA | Null | TTL |
| 169 | FA[4] | O | POB4 | 4mA | Null | TTL |
| 170 | GND | G | VSSO | - | - | - |
| 171 | GND | G | VSSO | - | - | - |
| 172 | TD[0] | B | PBCT4 | 4mA | Null | TTL |
| 173 | TD[15] | B | PBCT4 | 4mA | Null | TTL |

| | | | | | | |
|---|---|---|---|---|---|---|
| 174 | TD[1] | B | PBCT4 | 4mA | Null | TTL |
| 175 | TD[14] | B | PBCT4 | 4mA | Null | TTL |
| 176 | TD[2] | B | PBCT4 | 4mA | - | - |
| 177 | TD[13] | B | PBCT4 | 4mA | Null | TTL |
| 178 | TD[3] | B | PBCT4 | 4mA | Null | TTL |
| 179 | TD[12] | B | PBCT4 | 4mA | Null | TTL |
| 180 | TD[4] | B | PBCT4 | 4mA | Null | TTL |
| 181 | TD[11] | B | PBCT4 | 4mA | Null | TTL |
| 182 | GND | G | VSSO | - | - | - |
| 183 | VDD | P | VDD3O | - | - | - |
| 184 | TD[5] | B | PBCT4 | 4mA | Null | TTL |
| 185 | TD[10] | B | PBCT4 | 4mA | Null | TTL |
| 186 | TD[6] | B | PBCT4 | 4mA | Null | TTL |
| 187 | TD[9] | B | PBCT4 | 4mA | Null | TTL |
| 188 | TD[7] | B | PBCT4 | 4mA | Null | TTL |
| 189 | TD[8] | B | PBCT4 | 4mA | Null | TTL |
| 190 | TWEX | O | POB4 | 4mA | Null | TTL |
| 191 | TCASX | O | POB4 | 4mA | Null | TTL |
| 192 | TRASX | O | POB4 | 4mA | Null | TTL |
| 193 | TBA[0] | O | POB4 | 4mA | Null | TTL |
| 194 | TA[11] | O | POB4 | 4mA | Null | TTL |
| 195 | TBA[1] | O | POB4 | 4mA | Null | TTL |
| 196 | GND | G | VSSI | - | - | - |
| 197 | VDD | P | VDD3I | - | - | - |
| 198 | TA[9] | O | POB4 | 4mA | Null | TTL |
| 199 | TA[10] | O | POB4 | 4mA | Null | TTL |
| 200 | TA[8] | O | POB4 | 4mA | Null | TTL |
| 201 | TA[0]/Cfg0 | B | PBCT4 | 4mA | Null | TTL |
| 202 | TA[7] | O | POB4 | 4mA | Null | TTL |
| 203 | TA[1]/Cfg1 | B | PBCT4 | 4mA | Null | TTL |
| 204 | TA[6]/Cfg6 | B | PBCT4 | 4mA | Null | TTL |
| 205 | TA[2]/Cfg2 | B | PBCT4 | 4mA | Null | TTL |
| 206 | TA[5]/Cfg5 | B | PBCT4 | 4mA | Null | TTL |
| 207 | TA[3]/Cfg3 | B | PBCT4 | 4mA | Null | TTL |
| 208 | TA[4]/Cfg4 | B | PBCT4 | 4mA | Null | TTL |

## 2.5 Pin Description

| *Pin name* | *I/O* | *Pin No.* | *Description* |
|---|---|---|---|
| RESET# | I | 1 | System reset. Low active signal. |
| PLLFILTER | O | 2 | Internal PLL의 filter output |
| XIN | I | 6 | Internal/External Clock의 Source이다. Internal PLL을 사용할때는 14.318MHz를 입력하고 External Clock을 사용할 경우는 CPU Clock의 2배 frequency를 입력한다. |
| XOUT | O | 7 | OSC Cell의 Output. XIN이 OSC PAD에서 바로 feedback 되어 output된다. |
| TEST | I | 8 | 항상 Ground로 연결한다.<br>*Test Mode를 enable/disable한다. 이 signal은 chip test를 위해 사용되고 Normal하게는 ground로 tie하여 Normal mode로 동작하도록 한다. Test Mode로 하려면 TEST PIN을 High로 하면서 다른 Configuration Pin의 Pullup/Pulldown으로 조정한다.* |
| BE0# (A0) | O | 9 | CPU byte enable bit 0.<br>Local boot ROM의 data bus width가 8bit 으로 구성될 경우 system address bit 0에 해당한다. |
| BE1# | O | 10 | CPU byte enable bit 1. |
| BE2# (A1) | O | 11 | CPU byte enable bit 2.<br>Local memory의 data bus width가 16bit 또는 8bit 으로 구성될 경우 system address bit 1에 해당한다. |
| BE3# /<br>PCS0# | O | 12 | CPU byte enable bit 3 또는<br>Peripheral chip sleet 0 로 사용되며, Pin mux control register bit 3에 의하여 변경이 가능하다. |
| A[16:2]<br>(BA[1:0],<br>RA[12:0]) | O | 31~28,<br>25~15 | Local address bit [16:2] 에 해당하며<br>SDRAM의 bank address bit [1:0] 와 DRAM address bit [12:0] 로 사용된다. |
| A[24:17] /<br>PIO[23:16] | B | 39~32 | Local address bit [24:17] 또는 Peripheral IO port로 사용될 수 있다.<br>Pin mux control register의 해당 bit를 프로그래밍하여 핀의 용도를 정할수 있다. |
| A[26:25] | O | 44, 42 | Local address bit [26:25] |
| A[27] /<br>PIO[27]/<br>NMI# | B | 45 | Local address bit [27] 또는 Peripheral IO port bit 27로 사용된다.<br>또는 CPU의 Non-maskable Interrupt로 사용되기도 한다.<br>Pin mux control register의 해당 bit를 프로그래밍하여 핀의 용도를 정할수 있다. |
| D[15:0] | B | 81~80,<br>77~67,<br>64~62 | Local data bus lower 16 bit |
| D[31:16] /<br>PIO[15:0] | B | 99~94,<br>91~82 | Local data bus upper 16 bit 또는<br>Peripheral IO port로 사용된다. 외부 device를 위한 IO port로 이 bit를 사용할 경우 local memory data bus width는 data conflict를 피하기 위해 32bit bus로 사용할수 없다. Local memory bus width가 power on configuration에 따라 16bit으로 설정되면 이 핀들은 자동으로 PIO[15:0] 용도가 변경된다. |
| EXCS# | O | 53 | 외부 expansion memory를 위한 chip select signal 이다.<br>Address 0x0500_0000 부터 0x0FFF_FFFF 영역에서 active 된다. |
| MCS#<br>(RAS#)/ | O | 52 | Local memory가 SDRAM/SRAM mode 일경우 memory chip select 또는 Local memory가 edo-DRAM mode일 경우 row address strobe signal로 사용된다. |
| SBE[3:0]#<br>(DQM[3:0]#)<br>(CAS[3:0]#) | O | 49~46 | Local memory가 SRAM mode일경우 SRAM data byte enable 신호로 사용한다. SDRAM mode일경우 DQM 신호로 동작하며, edo-DRAM mode일경우 column address strobe 신호로 동작한다. |
| SRAS#<br>(MWE#) | O | 50 | Local memory가 SDRAM mode 일경우 row address strobe 신호로<br>Edo-DRAM mode일경우 memory write enable 신호로 사용된다. |

| | | | |
|---|---|---|---|
| SCAS# | O | 51 | Local memory로 SDRAM을 사용할 경우 column address strobe 신호로 사용된다. |
| SWE# | O | 54 | Local memory로 SDRAM을 사용할 경우 memory write enable 신호로 사용된다. |
| LSDRCLK | O | 43 | Local memory SDRAM clock. |
| ROMCS# | O | 58 | Local boot ROM chip select. |
| IRQ0# /<br>PCS5# | B | 55 | External interrupt request 신호로 외부 device에서 입력되는 신호이다.<br>Peripheral chip select 5 로 사용되며, Pin mux control register bit 3에 의하여 변경이 가능하다. |
| IRQ1# /<br>GUN1/<br>PIO[24] | B | 56 | External interrupt request 신호로 외부 device에서 입력되는 신호이다.<br>Light Pen 1좌표를 얻기위한 strobe input signal.<br>Peripheral IO port bit 24로 사용될 수 있다. |
| IRQ2# /<br>GUN2/<br>PIO[25] | B | 57 | External interrupt request 신호로 외부 device에서 입력되는 신호이다.<br>Light Pen 2좌표를 얻기위한 strobe input signal.<br>Peripheral IO port bit 25로 사용될 수 있다. |
| RD# | O | 59 | CPU read command signal. |
| WR# | O | 60 | CPU write command signal. |
| IRDY# | I | 61 | CPU ready signal 로서 RD#, WR# command 수행에 따른 완료를 CPU에게 알려 준다. 따라서 command 발생후 이 신호가 active 될 때까지 CPU는 wait 상태에 있게 된다. |
| DREQ0# /<br>PIO[28] /<br>PCS3#/<br>TRST | B | 100 | DMA channel 0를 위한 request 신호이다. Amazon는 외부로 부터 두개까지 DMA request를 받아들일 수 있다.그 중 DMA channel 1을 위한 Request이다.<br>Peripheral IO port bit 28 사용된다.<br>Peripheral chip select 신호이다. Pin mux control register로 제어된다.<br>JTAG Mode시에는 JTAG를 이용한 high speed download를 위해 TRST로 사용된다. 이때는 pin mux control register로 제어가 되지 않는다. |
| DACK0# /<br>PIO[29] /<br>PCS4#/<br>TCK | B | 101 | DMA channel 0 acknowledge 신호이다.<br>Peripheral IO port bit 29로 사용된다.<br>Peripheral chip select 신호이다. Pin mux control register로 제어된다.<br>JTAG Mode시에는 JTAG를 이용한 high speed download를 위해 TCK로 사용된다. 이때는 pin mux control register로 제어가 되지 않는다. |
| DREQ1# /<br>PIO[30] /<br>SBCK/<br>TMS | B | 102 | DMA channel 1을 위한 request 신호이다.<br>Peripheral IO port bit 30으로 사용된다.<br>Serial DAC interface signal for sound. Pin mux control register로 제어된다.<br>JTAG Mode시에는 JTAG를 이용한 high speed download를 위해 TMS로 사용된다. 이때는 pin mux control register로 제어가 되지 않는다. |
| DACK1# /<br>PIO[31] /<br>SDAT/<br>TDI | B | 103 | DMA channel 1 acknowledge 신호이다.<br>Peripheral IO port 로 bit 31로 사용된다.<br>Serial DAC interface signal for sound. Pin mux control register로 제어된다.<br>JTAG Mode시에는 JTAG를 이용한 high speed download를 위해 TDI로 사용된다. 이때는 pin mux control register로 제어가 되지 않는다. |
| DTC /<br>IRQ[3] /<br>SLRCK/<br>TDO | B | 104 | DMA terminal count signal로 즉, DMA data를 전송이 모두 완료되면 active된다.Pin mux control register의 해당 bit를 프로그래밍하여 External interrupt request 신호로 사용 할 수 있으며, 외부 device에서 입력되는 신호이다.<br>Serial DAC interface signal for sound.<br>JTAG Mode시에는 JTAG를 이용한 high speed download를 위해 TDO로 사용된다. 이때는 pin mux control register로 제어가 되지 않는다. |
| TX0 /<br>PCS1# | O | 105 | UART channel 0 transmit data 또는 Peripheral chip select 신호이다.<br>Pin mux control register로 제어된다. |
| RX0 /<br>PCS2# | B | 106 | UART channel 0 receive data 또는 Peripheral chip select 신호이다.<br>Pin mux control register로 제어된다. |
| TX1 /<br>SIOTXD | O | 107 | UART channel 1 transmit data 또는 Synchrous IO의 Transmit Data로 사용할 수 있으며 Pin mux control register로 제어된다. |

| | | | |
|---|---|---|---|
| RX1 / SIORXD | I | 108 | UART channel 1 receive data 또는 Synchronous IO의 Receive Data로 사용할 수 있으며 Pin mux control register로 제어된다. |
| TX1EN# / PCS6# / SRDY | B | 109 | UART channel 1 transmit data enable. Data 전송 중에 active 된다.<br>External interrupt request 신호로 사용 할 수 있으며, 외부 device에서 입력되는 신호이다. Pin mux control register로 제어된다. |
| UCLK / PCS[7]# | B | 110 | The external UART clock input. 내부 UART의 operation clock을 외부에서 받아서 사용할 수 있게 한다.<br>Peripheral chip select 신호이다. Pin mux control register로 제어된다. |
| PWM / PIO[26]/ SIOCK | B | 111 | Pulse width modulation output 신호로 사용된다.<br>Peripheral IO port bit 26으로 사용된다. 그리고 또 Synchrous IO의 Clock signal로도 사용이 된다.Pin mux control register로 제어된다. |
| FD[15:0] | B | 135,137, 139, 141, 143,147, 149,151, 150,148, 146,142, 140,138, 136,134 | Video/Graphic frame memory data bus. |
| FBA[1:0] | O | 158,156 | Frame memory를 위한 SDRAM bank address. |
| FA[11:0] | O | 157,160, 159,161, 163,165, 167,169, 168,166, 164,162 | Frame memory를 위한 SDRAM address bus. |
| FRAS# | O | 155 | Frame memory를 위한 SDRAM row address strobe signal. |
| FCAS# | O | 154 | Frame memory를 위한 SDRAM column address strobe signal. |
| FWE# | O | 153 | Frame memory를 위한 SDRAM write enable signal. |
| TD[15:0] | B | 173,175, 177,179, 181,185, 187,189, 188,186, 184,180, 178,176, 174,172 | Video/Graphic texture memory data bus. |
| TBA[1:0] | O | 195,193 | Texture memory를 위한 SDRAM bank address. |
| TA[11:7] | O | 194,199, 198,200, 202 | Texture memory를 위한 SDRAM address bit[11:7]. |
| TA[6:0] (CFG[6:0]) | B | 204, 206,208, 207,205, 203,201 | Texture memory를 위한 SDRAM address bit[6:0].<br>이 핀들은 power on 시 내부적으로 초기화하기위한 값들을 pull-up, pull-down resister로 연결하여 setting한다. Power on reset signal이 disable 될 때 configuration 값이 저장되며 이값들은 configuration register를 통해 일어볼수있다.<br>Texture memory를 위한 SDRAM address bus. |
| TRAS# | O | 192 | Texture memory를 위한 SDRAM row address strobe signal. |
| TCAS# | O | 191 | Texture memory를 위한 SDRAM column address strobe signal |
| TWE# | O | 190 | Texture memory를 위한 SDRAM write enable signal. |
| VSDRCLK | O | 152 | Frame / Texture memory를 위한 SDRAM clock. |
| DCLK | O | 126 | Video Output을 위한 Dot Clock. |
| VSYNC | O | 127 | Vertical Sync output |

| | | | |
|---|---|---|---|
| CSYNC/ DISPEN | O | 128 | Composite Sync/ dispen signal<br>이 동기신호에 맞추어 video data를 화면에 display한다.<br>TFT LCD를 외부에 사용할 때 LCD Controller로 보내주는 Data Enable signal로서 dispen를 사용한다..dispen는 실제 Display하고자 하는 pixel보다 2pixel 먼저 active high로 된다. |
| HSYNC | O | 129 | Horizontal Sync<br>Video data의 수평동기 신호이다. 이 신호가 발생하면 화면의 왼쪽부터 새로운 line이 display된다. |
| CBCLK | O | 132 | Color Burst Clock. Video data의 color 동기 신호를 나타낸다. Color 동기가 맞지 않으면 두 영상의 신호를 Overlay할 때마다 색상이 변한다. |
| VCLK | I | 133 | Video Clock으로서 Video Data를 화면에 display하는 기본 clock이다. |
| R | O | 122 | DAC Analog Red Data |
| G | O | 119 | DAC Analog Green Data |
| B | O | 116 | DAC Analog Blue Data |
| IREF | I | 113 | DAC의Reference Voltage. |
| VBIAS | I | 114 | DAC의 Bias Voltage |
| COMP | I | 115 | DAC의 Compare Output |
| AVDD | P | 4,117<br>123 | Analog Power |
| AGND | G | 3,118<br>120,121 | Analog Ground |
| VDD | P | | Power |
| GND | G | | Ground |

# 3 REGISTER DESCRIPTIONS

Amazon에 내장된 CPU SE3208은 32bit의 Address를 가지며 총 4Gbyte의 Address 영역을 Direct Access 할 수 있다. Amazon의 메모리 영역은 아래의 표와 같이 할당되어 있다.

| Address Range | Description | Remark |
|---|---|---|
| 0000 0000h ~ 00FF FFFFh | Local ROM | ROMCS# |
| 0100 0000h ~ 01FF FFFFh | Peripheral Device & Registers | |
| 0100 0000h ~ 010F FFFFh | Peripheral Device 0 | PCS0# |
| 0110 0000h ~ 011F FFFFh | Peripheral Device 1 | PCS1# |
| 0120 0000h ~ 012F FFFFh | Peripheral Device 2 | PCS2# |
| 0130 0000h ~ 013F FFFFh | Peripheral Device 3 | PCS3# |
| 0140 0000h ~ 014F FFFFh | Peripheral Device 4 | PCS4# |
| 0150 0000h ~ 015F FFFFh | Peripheral Device 5 | PCS5# |
| 0160 0000h ~ 016F FFFFh | Peripheral Device 6 | PCS6# |
| 0170 0000h ~ 017F FFFFh | Peripheral Device 7 | PCS7# |
| 0180 0000h ~ 01FF FFFFh | Amazon Registers | |
| 0200 0000h ~ 02FF FFFFh | Local DRAM/SRAM | |
| 0300 0000h ~ 037F FFFFh | Graphic Engine Registers | 16bit access only |
| 0380 0000h ~ 03FF FFFFh | Texture Buffer Memory | Max. 8Mbytes Texture Mem. |
| 0400 0000h ~ 047F FFFFh | Frame Buffer Memory | Max. 8Mbytes Frame Mem. |
| 0480 0000h ~ 04FF FFFFh | Sound Engine Registers | 16bit access only |
| 0500 0000h ~ 0FFF FFFFh | Expansion ROM | EXCS# |
| 1000 0000h ~ FFFF FFFFh | Reserved for Feature Use | |

Table 3-1. Amazon Memory Map

Amazon의 Register 영역은 01800000h 부터 존재하며 각 기능 Block당 1Kbyte 씩 할당 되어 있다. Register들은 Memory mapped I/O의 형태로 자세한 내용은 아래와 같다.

| Offset Address | Block | Remark |
|---|---|---|
| 0180 0000h | System / General | |
| 0180 0400h | Local Memory Controller | ROM, DRAM, SRAM |
| 0180 0800h | DMA | 2 Channel |
| 0180 0C00h | Interrupt Controller | 27 Channel |
| 0180 1000h | UART | 2 Channel |
| 0180 1400h | Timer & Counter | 4 Channel |
| 0180 1800h | Pulse Width Modulation | 1 Channel |
| 0180 1C00h | Reserved | |
| 0180 2000h | PIO (PORT) | 32 PORT |
| 0180 2400h | Peripheral Chip Select | 8 Chip Select |
| 0180 2800h | SIO | 1 Channel |
| 0180 2C00h | Reserved | |
| 0180 3000h | Reserved | |
| 0180 3400h | CRT Controller | |
| 0180 3800h | Reserved | |
| 0180 3C00h | Reserved | |
| 0180 4000h | RAMDAC & PLL | 3 DAC |
| 0180 4400h | Reserved | Built in Memory Addressing |
| ~ | ~ | |
| 0180 FFFFh | Reserved | |

Table 3-2. Amazon Register Offset Address

- The address boundary is 400h(1024Byte).

## 3.1 System / General Register

### 3.1.1System ID Register (SYSID)

**Address : 0180 0000h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:16 | R | Reserved. | 00h |
| 15: 8 | R | Device ID | 0ah |
| 7 : 0 | R | Revision Number | 00h |

### 3.1.2 Configuration Register (CFGR)

Power On시 외부 Configuration Pin으로 부터 설정된 값을 읽어온다. 해당 Pin은 반드시 Pull-up 또는 Pull-down Resistor를 연결시켜야 한다.

**Address : 0180 0004h**

| *Bit* | *R/W* | *Description* | *Assigned Pin* |
|---|---|---|---|
| 31: 7 | R | Reserved. | - |
| 6 | R | Main Clock Select<br>0 : External Clock (Disable PLL)<br>1 : Internal PLL Clock | TA[6] |
| 5 : 3 | R | Select Test Mode (When TEST pin is active state.)<br>JTAG test mode는 high speed로 download를 하기위한 mode로서 boundary scan 을 지원을 하지는 않는다. 즉 Frame/texture memory I/F pin은 JTAG가 되어있지 않다.<br>000 : CPU Stand Alone 100 : Counter test mode<br>001 : Cache Tag Memory 101 : pll test mode(50Mhz output)<br>010 : Internal DAC 11x : JTAG Mode<br>011 : Cache Data Memory | TA[5:3] |
| 2 : 1 | R | Local ROM Data Bus Width<br>00 : 8Bit 01 : 16Bit 1x : 32bit | TA[2:1] |
| 0 | R | Local Memory Bus Width .<br>0 : 16Bit 1 : 32Bit | TA[0] |

### 3.1.3 System Control Register (SYSCON)

**Address : 0180 0008h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 10 | R | Reserved | 000h |
| 9 : 8 | RW | Expansion ROM Data Bus Width<br>00 : 8Bit 01 : 16Bit 1x : 32bit | 00b |
| 7 : 6 | RW | Frame Memory Internal Command Cycle Wait Control<br>00 : 2 Clk 01 : 3 Clk<br>10 : 4 Clk 11 : 5 Clk | 11b |
| 5 : 4 | RW | Register Internal Command Cycle Wait Control<br>00 : 2 Clk 01 : 3 Clk<br>10 : 4 Clk 11 : 5 Clk | 11b |
| 3 | R | Reserved | 0 |
| 2 : 0 | RW | External Read/Write Command Cycle Wait Control (Pin RD# / WR#)<br>000 : 2 Clk 100 : 10 Clk<br>001 : 4 Clk 101 : 12 Clk<br>010 : 6 Clk 110 : 14 Clk<br>011 : 8 Clk 111 : 16 Clk | 111b |

### 3.1.4 Watch Dog Timer Control Register (WDCON)

**Address : 0180 0010h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 5 | R | Reserved. | 0000h |
| 4 | R | Watch Dog Reset Status. WDCON Read시 Clear된다.<br>0 : Normal<br>1 : Watch Dog에의한 Reset발생 | 0 |
| 3 : 1 | RW | Prescale Factor Selection<br>000 : 128 cycle 001 : 256 cycle 010 : 512 cycle 011 : 1024 cycle<br>100 : 2048 cycle 101 : 4096 cycle 110 : 8192 cycle 111 : 16384 cycle<br>Pre-scaler counter의 기준 Cycle에 대한 분주된 Clock을 선택 할 수 있다.<br>최대 256 Cycle 주기를 갖는 Clock으로 WDCNT를 Count 가능. | 111b |
| 0 | RW | Watch Dog Timer Enable / Disable<br>0 : Disable Timer<br>1 : Enable Timer | 0 |

### 3.1.5 Watch Dog Timer Count Register (WDCNT)

**Address : 0180 0014h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:16 | R | Reserved. | 0000h |
| 15: 0 | RW | Watch Dog Timer Count Value.<br>Watchdog timer는 여기에 쓰여진 값에서부터 다운 카운팅을 하게되며, 0에 도달하였을 때 Reset을 발생 시킨다.<br>이 Register 값은 항상 Watch dog counter의 값을 반영하고 있으므로 현재 카운터의 값을 읽어 볼 수 있다.<br>Watch Dog에의한 Reset의 폭은 선택된 Prescale Factor Selection 값에 따른다. | FFFFh |

### 3.1.6 Pin Mux Control Register 1

**Address : 0180 0018h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 21 | RW | Reserved. | 0 |
| 20 | | 0 : A24 1 : PIO23 | |
| 19 | | 0 : A23 1 : PIO22 | |
| 18 | | 0 : A22 1 : PIO21 | |
| 17 | | 0 : A21 1 : PIO20 | |
| 16 | | 0 : A20 1 : PIO19 | |
| 15 | | 0 : A19 1 : PIO18 | |
| 14 | | 0 : A18 1 : PIO17 | |
| 13 | | 0 : A17 1 : PIO16 | |
| 12 | | Reserved | |
| | | | |
| 11:10 | | 00 : A27 01 : PIO27 Output mode<br>1x : NMIX | |
| 9 : 8 | | 00 : PCS3# 01 : PIO28<br>1x : DREQ0 | |
| 7 : 6 | | 00 : PCS4# 01 : PIO29<br>1x : DACK0 | |
| 5 : 4 | | 00 : SBCK 01 : PIO30<br>1x : DREQ1 | |
| 3 : 2 | | 00 : SDAT 01 : PIO31<br>1x : DACK1 | |
| 1 : 0 | | 00 : SLRCK 01 : IRQ3<br>1x : DTC | |

* Configuration Register의 Local Memory Bus Width의 설정에 따라 외부 Data Bus Pin인 D[31:16]은 PIO Pin으로 사용될 수 있다. 즉, Local Memory Data Bus로 16Bit을 사용할 경우에만 PIO0~PIO15로 사용할 수 있다.

### 3.1.7 Pin Mux Control Register 2

**Address : 0180 001Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 22 | RW | Reserved | 0 |
| 21 | | 0 : MWE#(SRAS#) SCAS# 1 : HOLD# HLDA# | |
| 20 | | Reserved | |
| 19 | | 0 : SWE# 1 : INT# | |
| 18 : 17 | | 00 : PCS5# 01 : INTA<br>1x : IRQ0# | |
| 16 | | 0 : EXCS# 1 : HLAT# | |
| 15 : 14 | | Reserved | |
| 13 : 12 | | 00 : PWM 01 : PIO26<br>1x : SIOCK | |
| 11 : 10 | | 00 : IRQ1/PIO24 Input 01 : PIO24 Output<br>1x : GUN1 | |
| 9 : 8 | | 00 : IRQ2/PIO25 Input 01 : PIO25 Output<br>1x : GUN2 | |
| 7 | | 0 : TX0 1 : PCS1# | |
| 6 | | 0 : RX0 1 : PCS2# | |
| 5 | | 0 : TX1 1 : SIOTX | |
| 4 | | 0 : RX1 1 : SIORX | |
| 3 : 2 | | 00 : TX1EN 01 : PCS6#<br>1x : SRDY | |
| 1 | | 0 : UCLK 1 : PCS7# | |
| 0 | | 0 : BE3# 1 : PCS0# | |

## 3.2 Memory Control Registers

### 3.2.1 Local ROM & SDRAM Clock Control Register (MCON)

**Address : 0180 0400h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 12 | RW | Local Memory SDRAM Clock Control(LSDRCLK)<br>0000 : clk1x 1000 : Inverted clk1x<br>0001 : clk1x + 2ns 1001 : Inverted clk1x + 2ns<br>0010 : clk1x + 4ns 1010 : Inverted clk1x + 4ns<br>0011 : clk1x + 6ns 1011 : Inverted clk1x + 6ns<br>0100 : clk1x + 8ns 1100 : Inverted clk1x + 8ns<br>0101 : clk1x + 10ns 1101 : Inverted clk1x + 10ns<br>0110 : clk1x + 12ns 1110 : Inverted clk1x + 12ns<br>0111 : clk1x + 14ns 1111 : Inverted clk1x + 14ns | 0000 |
| 11 : 8 | RW | Frame/Texture Memory SDRAM Clock Control(VSDRCLK)<br>0000 : clk2x 1000 : Inverted clk2x<br>0001 : clk2x + 1ns 1001 : Inverted clk2x + 1ns<br>0010 : clk2x + 2ns 1010 : Inverted clk2x + 2ns<br>0011 : clk2x + 3ns 1011 : Inverted clk2x + 3ns<br>0100 : clk2x + 4ns 1100 : Inverted clk2x + 4ns<br>0101 : clk2x + 5ns 1101 : Inverted clk2x + 5ns<br>0110 : clk2x + 6ns 1110 : Inverted clk2x + 6ns<br>0111 : clk2x + 7ns 1111 : Inverted clk2x + 7ns | 0000 |
| 7 | RW | Pin LROMCS decode **방법 설정**.<br>0 : Decode address and RD#<br>1 : Decode address only | 1 |
| 6 : 3 | R | Reserved. | 0 |
| 2:0 | RW | LROMCS wait state<br>000 : 2 Clk 100 : 10 Clk<br>001 : 4 Clk 101 : 12 Clk<br>010 : 6 Clk 110 : 14 Clk<br>011 : 8 Clk 111 : 16 Clk | 111b |

### 3.2.2 Local DRAM Control Register (LDCON)

**Address : 0180 0408h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 25 | R | Reserved | 0000h |
| 24 | RW | Local Memory Control Reset<br>0 : Active 1 : Software Reset<br>이 값이 1인 동안 Memory state machine은 reset되어지며 다시 active되어질 때, SDRAM의 경우 mode setting cycle이 발생한다. | 0 |
| 23 : 20 | R | Reserved. | |
| 19 : 18 | RW | Row Address Line Number (SDRAM Only)<br>00 : 11 01 : 12 10 : 13 11 : Reserved. | 00b |
| 17 : 16 | RW | Column Address Line Number (FP,EDO DRAM / SDRAM)<br>00 : 8 01 : 9 10 : 10 11 : 11<br>SDRAM Mode 인 경우는 11 은 무시. | 00b |
| 15 : 14 | R | Reserved. | 0 |
| 13 | RW | Internal Read Data Latch Timing Control for FP DRAM<br>0 : Normal 1 : 1 Clk Delay | 0 |
| 12 : 11 | RW | RAS to CAS Delay.<br>00 : 1 Clk 01 : 2 Clk 1x : 3 Clk | 01b |
| 10 : 9 | RW | RAS Precharge Time<br>00 : 1 Clk 01 : 2 Clk 10 : 3 Clk 11 : 4 Clk | 11b |
| 8 | RW | *SDRAM Mode* : CAS Latency<br>0 : 2 Clk 1 : 3 Clk<br>*EDO/FP DRAM Mode* : CAS Precharge Time<br>0 : 1 Clk 1 : 2 Clk | 1 |
| 7 : 6 | RW | *EDO/FP DRAM Mode* : CAS Active Pulse Width Time<br>0x : 1 Clk 1x : 2 Clk<br>*SRAM Mode* : SRAM Command Width Time<br>00 : 1 Clk 01 : 2 Clk 10 : 3 Clk 11 : 4 Clk | 11b |
| 5 : 4 | RW | *SDRAM Mode* : RAS Cycle Time after Auto-refresh Command<br>00 : 3 Clk 01 : 4 Clk 10 : 5 Clk 11 : 6 Clk<br>*EDO/FP DRAM Mode* : RAS Pulse Width for CBR Refresh<br>00 : 2 Clk 01 : 3 Clk 10 : 4 Clk 11 : 5 Clk | 11b |
| 3 | RW | Refresh Cycle Period<br>0 : 15.6 usec 1 : 31.2 usec | 0 |
| 2 | RW | Number of Refresh Cycle / Period<br>0 : 1 Cycle 1 : 2 Cycle | 1 |
| 1 : 0 | RW | Local Memory Type.<br>00 : SRAM 01 : EDO DRAM<br>10 : Fast Page DRAM 11 : Sync DRAM | 00b |

## 3.3 DMA

### 3.3.1 DMA0 Control Register (DMAC0)

**Address : 0180 0800h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:11 | R | Reserved. | 0 |
| 10 | RW | DMA0 Enable<br>0 : Disable 1 : Enable DMA Operation | 0b |
| 9 | RW | DMA0 Request Polarity.<br>0 : Active High<br>1 : Active Low | 0 |
| 8 | RW | DMASA0, DMADA0 Register and Internal Counter Simultaneous Write Enable<br>0 : Register only 1 : Register and counter | 1b |
| 7:6 | RW | DMA0 Transfer Mode<br>0x : Single Transfer<br>10 : Repeat Data Transfer with Counter Reloading<br>11 : Repeat Data Transfer with Counter and Address Reloading | 00b |
| 5 | RW | Source Address Hold<br>0 : Increase/Decrease Address 1 : Fix Address | 0b |
| 4 | RW | Source Address Direction<br>0 : Increase Address 1 : Decrease Address | 0b |
| 3 | RW | Destination Address Hold<br>0 : Increase/Decrease Address 1 : Fix Address | 0b |
| 2 | RW | Destination Address Direction<br>0 : Increase Address 1 : Decrease Address | 0b |
| 1:0 | RW | Data Transfer Width<br>00 : 8bit 01 : 16bit 1x : 32bit | 00b |

### 3.3.2 DMA0 Source Address Register (DMASA0)

**Address : 0180 0804h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:0 | RW | DMA0 Source Address A[31:0] | 00000000h |

### 3.3.3 DMA0 Destination Address Register (DMADA0)

**Address : 0180 0808h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:0 | RW | DMA0 Destination Address A[31:0] | 00000000h |

### 3.3.4 DMA0 Transfer Count Register (DMATC0)

**Address : 0180 080Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:24 | R | Reserved. | 0 |
| 23: 0 | RW | DMA0 Transfer Count Register.<br>이 값은 Data Width와 무관하게 DMA Operation이 수행될 때마다 1씩 감소한다. | 00000h |

### 3.3.5 DMA1 Control Register (DMAC1)

**Address : 0180 0810h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:11 | R | Reserved. | 0 |
| 10 | RW | DMA1 Enable<br>0 : Disable 1 : Enable DMA Operation | 0 |
| 9 | RW | DMA1 Request Polarity.<br>0 : Active High<br>1 : Active Low | 0 |
| 8 | RW | DMASA1, DMADA1 Register and Internal Counter Simultaneous Write Enable<br>0 : Register only 1 : Register and counter | 1b |
| 7:6 | RW | DMA1 Transfer Mode<br>0x : Single Transfer<br>10 : Repeat Data Transfer with Counter Reloading<br>11 : Repeat Data Transfer with Counter and Address Reloading | 00b |
| 5 | RW | Source Address Hold<br>0 : Increase/Decrease Address 1 : Fix Address | 0b |
| 4 | RW | Source Address Direction<br>0 : Increase Address 1 : Decrease Address | 0b |
| 3 | RW | Destination Address Hold<br>0 : Increase/Decrease Address 1 : Fix Address | 0b |
| 2 | RW | Destination Address Direction<br>0 : Increase Address 1 : Decrease Address | 0b |
| 1:0 | RW | Data Transfer Width<br>00 : 8bit 01 : 16bit 1x : 32bit | 00b |

### 3.3.6 DMA1 Source Address Register (DMASA1)

**Address : 0180 0814h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:0 | RW | DMA1 Source Address A[31:0] | 00000000h |

### 3.3.7 DMA1 Destination Address Register (DMADA1)

**Address : 0180 0818h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:0 | RW | DMA1 Destination Address A[31:0] | 00000000h |

### 3.3.8 DMA1 Transfer Count Register (DMATC1)

**Address : 0180 081Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:24 | R | Reserved. | 0 |
| 23: 0 | RW | DMA1 Transfer Count Register.<br>이 값은 Data Width와 무관하게 DMA Operation이 수행될 때마다 1씩 감소한다. | 00000h |

## 3.4 Interrupt Controller

Vector Table은 다음과 같이 정의되어 있습니다

Reset Vector : 0x00000000 ~ 0x00000003 (Interrupt Number : V00)
NMI Auto-vector : 0x00000004 ~ 0x00000007 (Interrupt Number : V01)
Interrupt Auto-vector : 0x00000008 ~ 0x0000000B (Interrupt Number : V02)

Software Interrupt Vector : 0x00000040 ~ 0x0000007F (Interrupt Number : V10 ~ V1F)
User Vector : 0x00000080 ~ 0x000003FF (Interrupt Number : V20 ~ VFF)

여기에서 Interrupt Controller에서 생성된 Interrupt Vector값은 8bit로 표현되어 MCU Core에 전달이 되며 이때, Interrupt Vector의 Range는 위에서 언급한 User Vector의 범위(0x20 ~ 0xFF) 내에 존재 하여야 합니다.
Interrupt Controller의 Interrupt Controller Vector Register는 다음과 같이 생성이 됩니다.

Interrupt Vector = 상위 3bit (User Define) + 하위 5bit (Priority Encoding Value) 의 조합으로 만들어 집니다.
Register Spec. 에서 Interrupt Vector Register [10:8]은 Interrupt Vector의 상위 3bit를 의미 합니다.
그리고 Interrupt Vector Register [4:0]는 Interrupt Service Routine처리 후에 해당 인터럽트를 Clear하기 위해서 해당 인터럽트의 Vector값을 써주면 됩니다.

프로그램을 작성 할때, Vector Table에 대한 정의되어 있는 부분이 있는데, 이곳에는 User가 정의 하는 Interrupt Service Routine의 함수가 정의되어 있습니다.
그러므로 사용자는 이 부분의 Vector Table의 위치와 Interrupt Controller의 Interrupt Vector Register를 일치 시켜야 합니다.

예를 들면, Vector Table을 아래와 같이 사용하고자 한다면,
(1) User Vector : 0x00000080 ~ 0x000000FF (Interrupt Number : V20 ~ V3F)
Interrupt Vector = 상위 3bit (=> 001) + 하위 5bit (Priority Encoding Value) 이 되어야 합니다.

(2) User Vector : 0x000000100 ~ 0x000017F (Interrupt Number : V40 ~ V5F)
Interrupt Vector = 상위 3bit (=> 010) + 하위 5bit (Priority Encoding Value) 이 되어야 합니다.

### 3.4.1Interrupt Mode Register (INTMOD)

**Address : 0180 0C00h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0000Fh |
| 15 : 12 | RW | Reserved | Fh |
| 11 : 8 | RW | External IRQ3 ~ IRQ0 Trigger Mode<br>0 : Level Trigger 1 : Edge Trigger | Fh |
| 7 : 4 | RW | Reserved | Fh |
| 3 : 0 | RW | External IRQ3 ~ IRQ0 Active State<br>0 : Active Low 1 : Active High | Fh |

### 3.4.2Interrupt Vector Register (INTVEC)

Interrupt의 우선순위는 아래 표와 같이 Vector 값이 작은 것이 우선순위를 갖는다. 따라서 여러 개의 Interrupt가 내부적으로 발생할 경우, 우선순위에 따라 Interrupt Vector를 발생시킨다.

**Address : 0180 0C04h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 11 | R | Reserved. | 0 |
| 10 : 8 | RW | Interrupt Vector High 3 Bit. Programmable Bits. | 000b |
| 7 : 5 | R | Reserved. | 0 |
| 4 : 0 | W | Interrupt Clear Vector Value.<br>내부에서 발생된 Interrupt의 우선순위에 의하여 Interrupt Service Routine처리 후 다시 그 Code 값을 Write함으로써 해당 Interrupt Bit을 Clear 시킬 수 있다. | 0 |

| *Vector No.* | *Description* | *Remark* |
|---|---|---|
| 26 | PWM Interrupt | Interrupt의 발생은 우선 순위에 의하여 순차적으로 발생하며, CPU의 INTA# 의 Active 구간에서 Vector 값을 Data Bus로 출력한다 |
| 25 | Reserved | |
| 24 | Video Vertical Blank Interrupt | |
| 23 | Reserved | |
| 22 | Reserved | |
| 21 | Reserved | |
| 20 | Reserved | |
| 19 | Reserved | |
| 18 | UART Channel 1 Transmit Interrupt | |
| 17 | UART Channel 1 Receive Interrupt | |
| 16 | UART Channel 1 Error Interrupt | |
| 15 | UART Channel 0 Transmit Interrupt | |
| 14 | UART Channel 0 Receive Interrupt | |
| 13 | UART Channel 0 Error Interrupt | |
| 12 | External IRQ3 | |
| 11 | External IRQ2 | |
| 10 | Timer 3 Interrupt | |
| 9 | Timer 2 Interrupt | |
| 8 | DMA 1 Interrupt | |
| 7 | DMA 0 Interrupt | |
| 6 | External IRQ1 | |
| 5 | External IRQ0 | |
| 4 | Reserved | |
| 3 | SIO Interrupt | |
| 2 | Vrender0 Interrupt | |
| 1 | Timer 1 Interrupt | |
| 0 | Timer 0 Interrupt (Highest Priority) | |

Table 3-3.. Interrupt Vector & Priority

### 3.4.3 Interrupt Enable Register (INTEN)

Interrupt Source에대한 Mask Bit로 Interrupt Enable/Disable 기능을 한다. Mask Bit가 0일때 Interrupt는 Disable되고 1일때 Enable 된다.

**Address : 0180 0C08h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31: 27 | R | Reserved. | 00000000h |
| 26 | RW | PWM Interrupt Enable | |
| 25 | RW | Reserved | |
| 24 | RW | Video Vertical Blank Interrupt Enable | |
| 23 | RW | Reserved | |
| 22 | RW | Reserved | |
| 21 | RW | Reserved | |
| 20 | RW | Reserved | |
| 19 | RW | Reserved | |
| 18 | RW | UART Channel 1 Transmit Interrupt Enable | |
| 17 | RW | UART Channel 1 Receive Interrupt Enable | |
| 16 | RW | UART Channel 1 Error Interrupt Enable | |
| 15 | RW | UART Channel 0 Transmit Interrupt Enable | |
| 14 | RW | UART Channel 0 Receive Interrupt Enable | |
| 13 | RW | UART Channel 0 Error Interrupt Enable | |
| 12 | RW | External IRQ3 Enable | |
| 11 | RW | External IRQ2 Enable | |
| 10 | RW | Timer 3 Interrupt Enable | |
| 9 | RW | Timer 2 Interrupt Enable | |
| 8 | RW | DMA 1 Interrupt Enable | |
| 7 | RW | DMA 0 Interrupt Enable | |
| 6 | RW | External IRQ1 Enable | |
| 5 | RW | External IRQ0 Enable | |
| 4 | RW | Reserved | |
| 3 | RW | SIO Interrupt | |
| 2 | RW | Vrender0 Interrupt Enable | |
| 1 | RW | Timer 1 Interrupt Enable | |
| 0 | RW | Timer 0 Interrupt Enable | |

### 3.4.4Interrupt Status Register (INTST)

Interrupt의 Status 를 알수있는 Register이다. 이 Register를 읽음으로써 어떤 interrupt가 발생했는지를 판단할 수 있다.

**Address : 0180 0C0Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31:27 | R | Reserved. | 00000000h |
| 26 | RW | PWM Interrupt Status | |
| 25 | RW | Reserved | |
| 24 | RW | Video Vertical Blank Interrupt Status | |
| 23 | RW | Reserved | |
| 22 | RW | Reserved. | |
| 21 | RW | Reserved. | |
| 20 | RW | Reserved. | |
| 19 | RW | Reserved. | |
| 18 | RW | UART Channel 1 Transmit Interrupt Status | |
| 17 | RW | UART Channel 1 Receive Interrupt Status | |
| 16 | RW | UART Channel 1 Error Interrupt Status | |
| 15 | RW | UART Channel 0 Transmit Interrupt Status | |
| 14 | RW | UART Channel 0 Receive Interrupt Status | |
| 13 | RW | UART Channel 0 Error Interrupt Status | |
| 12 | RW | External IRQ3 Status | |
| 11 | RW | External IRQ2 Status | |
| 10 | RW | Timer 3 Interrupt Status | |
| 9 | RW | Timer 2 Interrupt Status | |
| 8 | RW | DMA 1 Interrupt Status | |
| 7 | RW | DMA 0 Interrupt Status | |
| 6 | RW | External IRQ1 Status | |
| 5 | RW | External IRQ0 Status | |
| 4 | RW | Reserved. | |
| 3 | RW | SIO Interrupt | |
| 2 | RW | Vrender0 Interrupt Status | |
| 1 | RW | Timer 1 Interrupt Status | |
| 0 | RW | Timer 0 Interrupt Status | |

## 3.5 UART

### 3.5.1 UART Channel 0/1 Control Register (UCON0 / UCON1)

**Address : 0180 1000h / 0180 1020h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31: 9 | R | Reserved. | 0 |
| 8 | RW | UART Enable<br>0: disable<br>1: enable | 0 |
| 7 | RW | Loop Back Test.<br>0 : Normal<br>1 : Loopback Mode for Test | 0 |
| 6 | RW | Send Break. Break는 한 Frame 기간 이상 Transmit Data 출력을 연속적으로 Low Level 로 출력시키는 것임.<br>0 : Not Send Break<br>1 : Send Break | 0 |
| 5 | RW | Enable Receive Status Interrupt. Data 수신 중 발생한 Break, Error에대한 Interrupt 발생을 Enable 또는 Disable 한다.<br>0 : Do not generate receive status interrupt<br>1 : Generate receive status interrupt | 0 |
| 4 | RW | Serial Clock Selection.<br>0 : Internal Clock<br>1 : External Clock (UCLK) | 0 |
| 3 : 2 | RW | Parity Mode.<br>0x : No Parity<br>10 : Even Parity<br>11 : Odd Parity | 0 |
| 1 | RW | Number of Stop Bit.<br>0 : 1 Bit per Frame<br>1 : 2 Bit per Frame | 0 |
| 0 | RW | Word Length. Frame당 전송 또는 수신될 Data Bit 수.<br>0 : 7 Bit 1 : 8 Bit | 1 |

### 3.5.2 UART Channel 0/1 Status Register (USTAT0 / USTAT1)

**Address : 0180 1004h / 0180 1024h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 12 | R | Reserved. | 0 |
| 11 : 8 | R | Receive-FIFO Level.<br>16 Level FIFO. Receive Interrupt는Receive FIFO의 반이 비었을 때 마다 발생한다. | 0 |
| 7 | R | Reserved | 0 |
| 6 | R | Transmitter Empty. 이 Bit는 Transmit Buffer에 전송할 Data가 없고 Tx Shift Register가 Empty 일 때 0로 Clear 된다.<br>0 : Transmitter is empty.<br>1 : Transmitter has some data. Tx is in progress. | 0 |
| 5 | R | Transmit FIFO Holding Data. 이 Bit는 UTXB0(UTXB1) register에 Write 함으로써 자동으로 Set 된다.<br>0 : Tx Buffer is Empty.<br>1 : Tx Buffer has some data. | 0 |
| 4 | R | Receive FIFO Data Ready. 이 Bit는 URXB0(URXB0) register를 읽어 FIFO가 empty이면 Clear된다.<br>0 : Receive FIFO is empty.<br>1 : Receive FIFO has some data. | 0 |
| 3 | R | Break Detect. 이 Bit는 USTAT0(USTAT1) register를 읽을 때 자동으로 Clear 된다.<br>0 : Normal Operation<br>1 : Break Sequence Detection | 0 |
| 2 | R | Frame Error. 이 Bit는 USTAT0(USTAT1) register를 읽을 때 자동으로 Clear 된다.<br>0 : No Error 1 : Error | 0 |
| 1 | R | Parity Error. 이 Bit는 USTAT0(USTAT1) register를 읽을 때 자동으로 Clear 된다.<br>0 : No Error 1 : Error | 0 |
| 0 | R | Overrun Error. 이 Bit는 USTAT0(USTAT1) register를 읽을 때 자동으로 Clear 된다.<br>0 : No Error 1 : Error | 0 |

### 3.5.3 UART Channel 0/1 Transmit Buffer Register (UTXB0 / UTXB1)

**Address : 0180 1008h / 0180 1028h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31: 8 | W | Reserved. | 0 |
| 7 : 0 | W | Transmit Data for UART0 / 1 | |

### 3.5.4 UART Channel 0/1 Receive Buffer Register (URXB0 / URXB1)

**Address : 0180 100Ch / 0180 102Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31: 8 | R | Reserved. | 0 |
| 7 : 0 | R | Receive Data for UART0 / 1 | |

### 3.5.5 UART Channel 0/1 Baud Rate Devisor Register (UBDR0 / UBDR1)

**Address : 0180 1010h / 0180 1030h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31: 16 | R | Reserved. | 0 |
| 15 : 0 | RW | Baud Rate Divisor Value. | 01 |

TX/RX Baud Rate은 아래 식으로 계산된다. Clock Source는 Internal 또는 External Clock(UCLK)이 된다.

*Baud Rate = Clock Source / (Divisor Value * 16)*

## 3.6 Timer

### 3.6.1Timer Control Register

| *Register Name* | *Address* | *Description* |
|---|---|---|
| TMCON0 | 0180 1400h | Timer 0 Control Register |
| TMCON1 | 0180 1408h | Timer 1 Control Register |
| TMCON2 | 0180 1410h | Timer 2 Control Register |
| TMCON3 | 0180 1418h | Timer 3 Control Register |

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 8 | RW | Timer *n* Prescaler Divide Count Value(PD)<br>이 값은 1 이상이어야 한다. | FFh |
| 7 : 5 | R | Reserved for test mode. | 0 |
| 4 : 2 | R | Reserved. | 0 |
| 1 | RW | Timer *n* Operation Mode<br>0 : Single (One Shot Count)<br>1 : Continuous (Periodic Count) | 0 |
| 0 | RW | Timer *n* Enable<br>0 : Stop 1 : Run | 0 |

### 3.6.2 Timer Count Register

| *Register Name* | *Address* | *Description* |
|---|---|---|
| TMCNT0 | 0180 1404h | Timer 0 Count Register |
| TMCNT1 | 0180 140Ch | Timer 1 Count Register |
| TMCNT2 | 0180 1414h | Timer 2 Count Register |
| TMCNT3 | 0180 141Ch | Timer 3 Count Register |

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 0 | RW | Timer Count Value.(TCV)<br>Timer Up-counter 값은 이 Register 값과 비교 되어 진다. | 000Fh |

Expect frequency (Hz) = Bus_Clock / ((PD+1) * (TCV+1))

## 3.7 Pulse Width Modulation

### 3.7.1 PWM Control Register (PMCON)

**Address : 0180 1800h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 8 | RW | PWM Prescaler Divide Count 8 Bit Value(PD) | FFh |
| 7 : 2 | | Reserved | |
| 1 | RW | PWM Output Polarity<br>0 : Negative (Start Level is High)<br>1 : Positive (Start Level is Low) | 0 |
| 0 | RW | PWM Enable<br>0 : Stop 1 : Run | 0 |

### 3.7.2 PWM Duty Register (PMDTY)

**Address : 0180 1804h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 0 | RW | PWM Count Value A.<br>PWM Up-counter 값은 제일 먼저 이 Register 값과 비교 되어 진다. 따라서 Counter값이 Register 값에 도달 하였을 때 내부 출력은 1이 된다. 이는 Low Pulse의 Duty를 결정한다. | 000Fh |

### 3.7.3 PWM Period Register (PMPRD)

**Address : 0180 1808h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 0 | RW | PWM Count Value B.(PCNT)<br>PWM Up-counter 값은 이 Register 값과 비교 되어 진다. 이 값은 전체 주기에 해당하는 값으로, Counter값이 Register 값에 도달 하였을 때 내부 출력은 0이 된다. 최종 출력의 Polarity는 PMCON Bit1에 의하여 결정된다. | 000Fh |

Expect frequency (Hz) = Bus_Clock / ((PD+1) * (PCNT+1))

### 3.7.4 Pulse Count Register (PULCNT)

**Address : 0180 180Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 : 0 | RW | Number of Pulse – 1 | 000Fh |

## 3.8 Synchronous Serial IO

### 3.8.1 SIO Control Register (SIOCON)

**Address : 0180 2800h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 8 | R | Reserved. | 0 |
| 7 | RW | SIO Controller Enable<br>0 : Disable 1 : Enable | 0 |
| 6 | R | Reserved | 0 |
| 5 | RW | Master/Slave Mode Select<br>마스터 모드로 동작하는 경우에는 전송에 필요한 클럭을 내부에서 만들고 슬레이브 모드는 외부의 마스터로부터 입력 받는다.<br>0 : Slave mode 1 : Master Mode | 0 |
| 4 | RW | SIO Data Transfer Mode<br>DMA 설정으로 동작하고 있을 때 DMA에서 DTC 신호가 인가되면 자동으로 reset 된다.<br>0 : SIO Interrupt 1 : DMA | 0 |
| 3 | RW | SIO Shift operation<br>0 : Auto Run Mode 1 : Hand-shaking Mode | 0 |
| 2 | RW | TX/RX selection<br>0 : Receive Only Mode<br>1 : Transmit / Receive Mode | 0 |
| 1 | RW | Clock edge selection<br>0 : Rising Edge Clock 1 : Falling Edge Clock | 0 |
| 0 | RW | Data Shift Direction.<br>This bit controls whether MSB is transmitted first or LSB is transmitted first.<br>0 : MSB Mode 1 : LSB Mode | 0 |

### 3.8.2 SIO Data Register (SIODAT)

**Address : 0180 2804h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 8 | R | Reserved. | 0 |
| 7 : 0 | RW | This register contains the data to be transmitted or received over the SIO. | 0 |

### 3.8.3 SIO Baud Rate Prescaler Register (SIOBDR)

**Address : 0180 2808h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 8 | R | Reserved. | 0 |
| 7 : 0 | RW | SIO Baud Rate Prescale Value | 0 |

Baud Rate = BCLK / ( 2 * SIOBDR + 2 )

BCLK는 내부 Bus Clock으로 PLL 출력의 1/2이다. 그러므로 내부 PLL이 발생하는 주파수가 80Mhz일경 우 BCLK는 40Mhz 가 된다.

### 3.8.4 SIO Interval Count Register (SIOICNT)

**Address : 0180 280Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 8 | R | Reserved. | 0 |
| 7 : 0 | RW | SIO Interval Counter Value | 0 |

오토 런 모드(auto run mode)로 동작하는 마스터에서 다음 데이터를 송신 또는 수신하기 위한 지연 시간을 설정한다.

Interval Time(between 8-bit data) = BCLK / ( SIOICNT + 1 )

### 3.8.5 SIO Status Register (SIOSTAT)

**Address : 0180 2810h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 2 | R | Reserved. | 0 |
| 4 | R | 전송 완료를 나타낸다.<br>0: 전송중 1: 전송완료 | 0 |
| 3 | R | 외부 디바이스에서 입력되는 ready 신호 ( hand_shaking )<br>0 : 외부 디바이스가 준비 된 상태<br>1: 외부 디바이스가 준비되지 않음 | 1 |
| 2 | R | 송신 버퍼가 비어 있슴<br>0: full 1:empty | 1 |
| 1 | R | Reserved | 0 |
| 0 | R | 수신 버퍼가 차 있으면 set 된다.<br>0:empty 1:full | 0 |

## 3.9 PIO

### 3.9.1 PIO Mode Register (PIOMOD)

PIO Pin을 사용하기 위하여 먼저 Pin Mux Control Register를 설정하여야 한다.

**Address : 0180 2000h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 | RW | PIO 31 Pin의 Mode Control. | 00000000h |
| 30 | | PIO 30 Pin의 Mode Control. | |
| 29 | | PIO 29 Pin의 Mode Control. | |
| 28 | | PIO 28 Pin의 Mode Control. | |
| 27 | | PIO 27 Pin의 Mode Control. | |
| 26 | | PIO 26 Pin의 Mode Control. | |
| 25 | | PIO 25 Pin의 Mode Control. | |
| 24 | | PIO 24 Pin의 Mode Control. | |
| 23 | | PIO 23 Pin의 Mode Control. | |
| 22 | | PIO 22 Pin의 Mode Control. | |
| 21 | | PIO 21 Pin의 Mode Control. | |
| 20 | | PIO 20 Pin의 Mode Control. | |
| 19 | | PIO 19 Pin의 Mode Control. | |
| 18 | | PIO 18 Pin의 Mode Control. | |
| 17 | | PIO 17 Pin의 Mode Control. | |
| 16 | | PIO 16 Pin의 Mode Control. | |
| 15 | | PIO 15 Pin의 Mode Control. | |
| 14 | | PIO 14 Pin의 Mode Control. | |
| 13 | | PIO 13 Pin의 Mode Control. | |
| 12 | | PIO 12 Pin의 Mode Control. | |
| 11 | | PIO 11 Pin의 Mode Control. | |
| 10 | | PIO 10 Pin의 Mode Control. | |
| 9 | | PIO 9 Pin의 Mode Control. | |
| 8 | | PIO 8 Pin의 Mode Control. | |
| 7 | | PIO 7 Pin의 Mode Control. | |
| 6 | | PIO 6 Pin의 Mode Control. | |
| 5 | | PIO 5 Pin의 Mode Control. | |
| 4 | | PIO 4 Pin의 Mode Control. | |
| 3 | | PIO 3 Pin의 Mode Control. | |
| 2 | | PIO 2 Pin의 Mode Control. | |
| 1 | | PIO 1 Pin의 Mode Control. | |
| 0 | | PIO 0 Pin의 Mode Control.<br>0 : Totempole Output Mode<br>1 : Open Collector Output Mode | |

PIO Port를 Input Port로만 사용할 경우에는 Mode Control Register를 1로 Set(Open Collector Output Mode)하고 PIOLDAT Register의 해당 Port Bit를 0으로 Set시킴으로써 항상 Input으로 사용이 가능하다.

PIO Port 0 ~ 15는 System Data Bus D[31:16] 와 공유하고 있기 때문에, System Configuration Pin 설정에 따라 사용이 제한된다. Local Memory Bus Width로 16bit이 설정 되었을 경우에만, Pin D[31:16]은 PIO 로써 사용될 수 있다.

### 3.9.2 PIO Latched Output Data Register (PIOLDAT)

**Address : 0180 2004h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 0 | RW | PIO31 ~ PIO0<br>Totempole Output Mode시 외부로 출력될 Data 값을 의미한다.<br>Open Collector Output Mode시 0은 Output Disable 상태로 출력이 High-Z 상태가 되고, 1은 Output Enable 상태로 0을 출력한다.<br>Write한 값은 Latch 되어지고 이 Register를 Read시 Write 했던 Data를 읽어 볼 수 있다. | 0 |

### 3.9.3 PIO External Data Register (PIOEDAT)

**Address : 0180 2008h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 0 | R | PIO31 ~ PIO0<br>PIO Pin 으로부터 입력된 Data이다. | x |

* PIO27은 input mode는 사용할 수가 없습니다.

Peripheral Device Chip Select

### 3.9.4PCS Control Register

| *Register Name* | *Address* | *Description* | *Pin Name* |
|---|---|---|---|
| CS0CON | 0180 2400h | PCS0 Control Register | |
| CS1CON | 0180 2404h | PCS1 Control Register | |
| CS2CON | 0180 2408h | PCS2 Control Register | |
| CS3CON | 0180 240Ch | PCS3 Control Register | |
| CS4CON | 0180 2410h | PCS4 Control Register | |
| CS5CON | 0180 2414h | PCS5 Control Register | |
| CS6CON | 0180 2418h | PCS6 Control Register | |
| CS7CON | 0180 241Ch | PCS7 Control Register | |

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved. | 0 |
| 15 | RW | External Ready Enable<br>0 : Not Use External Ready<br>1 : Use External Ready | 0 |
| 14 : 13 | R | Reserved. | 0 |
| 12 : 8 | RW | The Number of Wait State<br>0 에서 31 Cycle 까지의 Wait state를 추가하여 Chip Select의 Pulse 폭을 조정할 수 있다. | 10000b |
| 7 | RW | PCSx Enable<br>0 : Disable 1 : Enable | 0 |
| 6 : 4 | R | Reserved. | 0 |
| 3 : 2 | RW | Data Bus Width<br>00 : 8Bit<br>01 : 16Bit<br>1x : 32Bit | 00b |
| 1 : 0 | RW | Decode Mode<br>0x : Decode Address Only<br>10 : Decode with RD#<br>11 : Decode with WR# | 00b |

## 3.10 CRT Controller

Amazon에서 640*480 Resolution을 사용할 시에는 다량의 데이터 처리에 필요한 타이밍 부족으로 인하여 Graphic Function에 제한이 있을 수 있음을 유의하시기 바랍니다.

### 3.10.1 CRTC Status / Mode Register (CRTMOD)

**Address : 0180 3400h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved | 00h |
| 15 | R | Horizontal Sync. Status.<br>Sync Active 구간에서 0로 읽힌다. | - |
| 14 | R | Vertical Display Enable Status<br>Vertical Display Enable 구간에서 1로 읽힌다. | - |
| 13 | R | Horizontal & Vertical Blank Period.<br>Blank 구간에서 0가 읽힌다. | - |
| 12 | R | External Video Signal Status<br>0 : Invalid State 1 : Valid State | - |
| 11 : 10 | R | Reserved. | 0 |
| 9 | RW | Screen Blank Enable<br>0 : Normal<br>1 : Blank Screen | 0 |
| 8 | RW | Protect to write CRTC Registers 0x01803404~0x01803424<br>0 : Write 가능.<br>1 : Write 불가능. | 0 |
| 7 | RW | Horizontal Scan Line Number<br>0 : 525 Line<br>1 : 625 Line | 0 |
| 6 | RW | Color Burst Frequency<br>0 : 3.58 Mhz<br>1 : 4.43 Mhz | 0 |
| 5 : 4 | RW | Reserved | 00 |
| 3 | RW | Select Display Start Field in the Interlace mode<br>0 : Odd Field (NTSC), Even Field (PAL)<br>1 : Even Field (NTSC), Odd Field (PAL) | 0 |
| 2 | RW | Reserved | 0 |
| 1 : 0 | RW | Vertical Sync Width Generation<br>00 : Serration Only<br>01 : Pre-equalization and Serration<br>10 : Post-equalization and Serration<br>11 : Pre/Post-equalization and Serration | 0 |

### 3.10.2 CRTC Timing Control Register (CRTTIM)

**Address : 0180 3404h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 14 | R | Reserved | 00h |
| 13 | RW | Fsc4clk Select.<br>0 : CPCLK Pin 1 : 14.318Mhz (External clock Xin) | 0 |
| 12 | RW | CBF Output Polarity<br>0 : Low Active Signal 1 : High Active Signal | 0 |
| 11:8 | RW | Reserved | 0 |
| 7 | RW | 외부에서 입력되는 Video Clock (VCLK) 내부적으로 2체배 허용.<br>0 : Normal 1 : 2체배 | 0 |
| 6 : 4 | RW | CBCLK 생성. 외부 Video Encoder에서 입력되는 Video Clock을 3.58Mhz가 되도록 분주한다. Ivclk를 이 Register에 따라서 분주한다.<br>000 : 금지 001 ~ 111: 2 ~ 8분주 | 010b |
| 3 | RW | VCLK (Video Clock) Select.<br>0 : VCLK Pin 1 : 14.318Mhz | 0 |
| 2 : 0 | RW | DCLK 생성. 외부 Video Encoder에서 입력되는 Video Clock을 분주하여 Dot Clock을 발생시킨다.<br>000 : 금지 001 ~ 111: 2 ~ 8분주 | 010b |

### 3.10.3 Horizontal Sync Width / Back Porch Register (HSWBP)

**Address : 0180 3408h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved | 00h |
| 15 : 8 | RW | Horizontal Back Porch - 1 | 0 |
| 7 : 0 | RW | Horizontal Sync Width - 1 | 0 |

### 3.10.4 Horizontal Display Total Register (HDISP)

**Address : 0180 340Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 10 | R | Reserved | 00h |
| 9 : 0 | RW | Horizontal Display Total - 1 | 0 |

### 3.10.5 Horizontal Sync Front Porch Register (HSFP)

**Address : 0180 3410h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 9 | R | Reserved | 00h |
| 7 : 0 | RW | Reserved | 0 |

### 3.10.6 Field Window Bound Register (FWINB)

**Address : 0180 3414h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 15 | R | Reserved | 00h |
| 14 | RW | Even Field Select<br>0 : From Hsync block 1 : From CynvToVH | 0 |
| 13 : 8 | RW | Odd/Even Field Window Upper Bound by 16 pixel | 0 |
| 7 : 6 | R | Reserved. | 0 |
| 5 : 0 | RW | Odd/Even Field Window Lower Bound by 16 pixel | 0 |

### 3.10.7 Vertical Sync Back Porch Register (VSBP)

**Address : 0180 3418h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 8 | R | Reserved | 00h |
| 7 : 0 | RW | Vertical Sync Back Porch -1 | 0 |

### 3.10.8 Vertical Display Total Register (VDISP)

**Address : 0180 341Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 9 | R | Reserved | 00h |
| 8 : 0 | RW | (Vertical Display Total /2)-1 (Interlace mode)<br>Vertical Display Total –1 (non-Interlace mode) | 0 |

- 여기서 vertical display total은 한 frame의 line수이다. 따라서 even/odd field의 display line수를 합친 것이다.

### 3.10.9 Horizontal Total Register (HTOT)

**Address : 0180 3420h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 13 | R | Reserved | 00h |
| 12 | RW | Csync width is 2cpclk for test. | 0 |
| 10 | RW | Enable this register bit[9:0] programming. | 0 |
| 9 : 0 | RW | (Horizontal Total / 2) - 1 | 00h |

### 3.10.10 Vertical Total Register (VTOT)

**Address : 0180 3424h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 12 | R | Reserved | 00h |
| 11 | RW | Enable this register bit[10:0] programming. | 0 |
| 10 : 0 | RW | NTSC : (Vertical Total – 9) * 2 (Interlace mode)<br>((Vertical Total – 9) *2 ) –1 (non-Interlace Mode)<br>PAL : (Vertical Total – 9) * 2 – 1 (Interlace Mode)<br>(( Vertical Total – 9) *2 (non-Interlace mode) | 00h |

* 정상적인 경우 HTOT와 VTOT Register는 Program 할 필요가 없다. 내부적으로 자동 Setting됨.
* 여기서 Vertical Total이라는 것은 vsync에서 vsync사이의 total line의 수이다. 즉 Interlace의 line수는 non-interlace 의 line수의 반이 된다.

### 3.11.11 Horizontal Line Back Porch Register (HLBP)

**Address : 0180 3428h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 10 | R | Reserved | 00h |
| 9 : 0 | RW | Horizontal Display Start Position Control Register | 00h |

### 3.11.12 CRT Display Start Address 0 Register (STAD0)

**Address : 0180 342Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 15 | R | Reserved | 00h |
| 14 : 2 | RW | *Horizontal resolution 이 511pixel 이하 또는 512pixel, noninterlace mode 인 경우*<br>- First Bank 의 CRT Display Start Address bit [22:10] 에 해당한다.<br><br>*Horizontal resolution 이 512pixel 이상의 Interlace mode 인 경우*<br>- First Bank 의 CRT Display Start Address bit [22:11] 에 해당한다.<br>- 이 register bit[14]는 사용되지 않는다.<br><br>Start Address는 기본적으로 1024byte(512pixel)의 단위로 설정할 수 있다. | 00h |
| 1 | R | Reserved | 0 |
| 0 | RW | Vertical Flip Enable<br>Display Current Upside Down Screen Image .<br>화면을 뒤집기 위하여 이 bit와 함께 STAD0, STAD1 의 Display start address를정상 screen에서의 마지막 라인의 시작 어드레스로 재 프로그램해야 한다. | 0 |

### 3.11.13 CRT Display Start Address 1 Register (STAD1)

**Address : 0180 3430h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 15 | R | Reserved | 00h |
| 14 : 2 | RW | *Horizontal resolution 이 511pixel 이하 또는 512pixel, noninterlace mode 인 경우*<br>- Second Bank 의 CRT Display Start Address bit [22:10] 에 해당한다.<br><br>*Horizontal resolution 이 512pixel 이상의 Interlace mode 인 경우* | 0 |

| | | | |
|---|---|---|---|
| | | - Second Bank 의 CRT Display Start Address bit [22:11] 에 해당한다.<br>- 이 register bit[14]는 사용되지 않는다.<br><br>Start Address는 기본적으로 1024byte(512pixel)의 단위로 설정할 수 있다. | |
| 1 | RW | Select Current Display Frame for Double Buffering at Interlace Mode<br>0 : Even Frame<br>1 : Odd Frame | 0 |
| 0 | RW | Select Non-interlace mode<br>0 : Interlace Mode<br>1 : Non-Interlace Mode | 0 |

### 3.11.14 Light Pen 0 X Register (LIGHT0X)

**Address : 0180 3438h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 11 | R | Reserved | 00h |
| 10 : 0 | R | Light Pen 0 Current Horizontal Position | x |

### 3.11.15 Light Pen 0 Y Register (LIGHT0Y)

**Address : 0180 343Ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 9 | R | Reserved | 00h |
| 8 : 0 | R | Light Pen 0 Current Vertical Position | x |

### 3.11.16 Light Pen 1 X Register (LIGHT1X)

**Address : 0180 3440h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 11 | R | Reserved | 00h |
| 10 : 0 | R | Light Pen 1 Current Horizontal Position | x |

### 3.11.17 Light Pen 1 Y Register (LIGHT1Y)

**Address : 0180 3444h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 9 | R | Reserved | 00h |
| 8 : 0 | R | Light Pen 1 Current Vertical Position | x |

### 3.11.18 Light Pen Input Control Register (LIGHTC)

**Address : 0180 3448h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 2 | R | Reserved | 00h |
| 1 | RW | Light Pen 1 Input Polarity<br>0 : High Active Strobe<br>1 : Low Active Strobe | 0 |
| 0 | RW | Light Pen 0 Input Polarity<br>0 : High Active Strobe<br>1 : Low Active Strobe | 0 |

## 3.12 Frequency Synthesizer

### 3.12.1 PLL Control Register (DPCON)

**Address : 0180 4000h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 10 | R | Reserved | 00h |
| 9 | RW | Power Saving Mode for DAC<br>0 : Normal<br>1 : Power Saving Enable | 0 |
| 8 : 3 | R | Reserved. | 0 |
| 2 | RW | Write Protect PLL Program Register (PLPGM)<br>0 : Write 불가능.<br>1 : Write 가능. | 0 |
| 1 | RW | 16Bit RGB Output<br>0 : Normal Mode<br>1 : Output to PIO[15:0]<br>이 Bit를 1로 Set할 경우, Pinmux Control Register와 상관없이 16bit Pixel Data R[4:0], G[5:0], B[4:0] 출력이 PIO Pin [15:0]로 출력되게 된다.<br>따라서 Local memory는 16bit Interface로 동작시켜야 한다.<br>그리고 이 mode가 되면 dispen이 csync pin으로 출력이 된다. | 0 |
| 0 | RW | Power Saving Mode for PLL<br>0 : Normal<br>1 : Power Saving Enable<br>외부 Clock을 직접 사용 시, 내부의 PLL은 자동으로 Power Saving 모드로 간다. | 0 |

### 3.12.2 PLL Program Register (PLPGM)

**Address : 0180 4004h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 16 | R | Reserved | 000h |
| 15 : 8 | RW | Main Divider 8 Bit (M) | 57h |
| 7 : 2 | RW | Pre-divider 6 Bit (P) | 001111b |
| 1 : 0 | RW | Post Scaler 2 Bit (S) | 10b |

Frequency Equation : Fout = ( (M + 8) * Fin ) / ( (P + 2) * $2^S$ )
Reference input frequency : Fin = 14.318MHz
Example : M = 3Eh, P = 001000b, S = 01b (50MHz)
Default frequency output is 20MHz.

## OUTPUT FREQUENCY EQUATION & TABLE

Frequency Equation: $$F_{OUT} = \frac{(m+8)}{(p+2) \times 2^{s}} \times F_{IN}$$

Table 1. Example of Divider Ratio

| M[7] | M[6] | M[5] | M[4] | M[3] | M[2] | M[1] | M[0] | m | M (m+8) | P[6] | P[5] | P[4] | P[3] | P[2] | P[1] | P[0] | p | P (p+2) | S[1] | S[0] | $2^S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 85 | 93 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 41 | 43 | 0 | 0 | 1 |

Table 2. Sample Frequency Coefficient(Reference Input Frequency=14.318MHz)

| Fout | P | M | S | Fout | P | M | S | Fout | P | M | S | Fout | P | M | S | Fout | P | M | S |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 10 | 15 | 87 | 3 | 41.6 | 19 | 144 | 1 | 69 | 9 | 98 | 1 | 100.76 | 25 | 182 | 0 | 137 | 5 | 59 | 0 |
| 14.318 | 8 | 72 | 3 | 42 | 13 | 80 | 1 | 70 | 16 | 80 | 0 | 101 | 17 | 126 | 0 | 138 | 23 | 233 | 0 |
| 15 | 19 | 168 | 3 | 43 | 8 | 52 | 1 | 71 | 22 | 111 | 0 | 102 | 22 | 163 | 0 | 139 | 22 | 225 | 0 |
| 16 | 15 | 68 | 2 | 44 | 25 | 158 | 1 | 72 | 18 | 93 | 0 | 103 | 19 | 143 | 0 | 140 | 7 | 80 | 0 |
| 17 | 10 | 49 | 2 | 44.3 | 14 | 91 | 1 | 73 | 18 | 94 | 0 | 104 | 17 | 140 | 0 | 141 | 11 | 120 | 0 |
| 18 | 27 | 138 | 2 | 44.74 | 10 | 67 | 1 | 74 | 10 | 54 | 0 | 105 | 10 | 80 | 0 | 142 | 10 | 111 | 0 |
| 19 | 11 | 61 | 2 | 44.9 | 9 | 61 | 1 | 75 | 15 | 81 | 0 | 106 | 8 | 66 | 0 | 143.18 | 7 | 82 | 0 |
| 20 | 15 | 87 | 2 | 45.5 | 12 | 81 | 1 | 76 | 11 | 61 | 0 | 107 | 17 | 134 | 0 | 144 | 15 | 163 | 0 |
| 21 | 13 | 80 | 2 | 46 | 24 | 159 | 1 | 77 | 14 | 78 | 0 | 108 | 22 | 173 | 0 | 145 | 6 | 73 | 0 |
| 22 | 12 | 78 | 2 | 47 | 21 | 143 | 1 | 77.25 | 21 | 116 | 0 | 109 | 16 | 129 | 0 | 146 | 3 | 43 | 0 |
| 23 | 24 | 159 | 2 | 48 | 15 | 106 | 1 | 78 | 18 | 101 | 0 | 110 | 20 | 161 | 0 | 147 | 13 | 146 | 0 |
| 24 | 25 | 173 | 2 | 49 | 11 | 81 | 1 | 79 | 27 | 152 | 0 | 111 | 14 | 116 | 0 | 148 | 1 | 23 | 0 |
| 25.175 | 23 | 168 | 2 | 49.2 | 22 | 157 | 1 | 80 | 15 | 87 | 0 | 112 | 15 | 125 | 0 | 149 | 20 | 221 | 0 |
| 25.5 | 14 | 106 | 2 | 49.5 | 10 | 75 | 1 | 81 | 30 | 173 | 0 | 113 | 17 | 142 | 0 | 150 | 19 | 212 | 0 |
| 26 | 17 | 130 | 2 | 50 | 8 | 62 | 1 | 82 | 9 | 55 | 0 | 114 | 22 | 183 | 0 | 151 | 9 | 108 | 0 |
| 27 | 22 | 173 | 2 | 50.35 | 23 | 168 | 1 | 83.04 | 13 | 79 | 0 | 115 | 22 | 185 | 0 | 152 | 11 | 130 | 0 |
| 28.322 | 21 | 174 | 2 | 51 | 22 | 163 | 1 | 84 | 13 | 80 | 0 | 116 | 8 | 73 | 0 | 153 | 17 | 195 | 0 |
| 29 | 8 | 73 | 2 | 52 | 17 | 130 | 1 | 85 | 14 | 87 | 0 | 117 | 21 | 180 | 0 | 154 | 2 | 35 | 0 |
| 30 | 19 | 168 | 2 | 53 | 8 | 66 | 1 | 86 | 8 | 52 | 0 | 118 | 23 | 198 | 0 | 155 | 21 | 241 | 0 |
| 30.25 | 18 | 161 | 2 | 54 | 9 | 75 | 1 | 87 | 11 | 71 | 0 | 119 | 14 | 125 | 0 | 156 | 17 | 199 | 0 |
| 31 | 7 | 70 | 2 | 55 | 20 | 161 | 1 | 88 | 25 | 158 | 0 | 120 | 19 | 168 | 0 | 157 | 22 | 255 | 0 |
| 31.5 | 8 | 80 | 2 | 56 | 15 | 125 | 1 | 89 | 12 | 79 | 0 | 121 | 18 | 161 | 0 | 158.12 | 21 | 246 | 0 |
| 32 | 15 | 144 | 2 | 56.644 | 21 | 174 | 1 | 89.8 | 9 | 61 | 0 | 122 | 21 | 188 | 0 | 159 | 17 | 203 | 0 |
| 32.514 | 17 | 79 | 1 | 57 | 22 | 183 | 1 | 91 | 12 | 81 | 0 | 123 | 20 | 181 | 0 | 160 | 21 | 249 | 0 |
| 33 | 21 | 98 | 1 | 58 | 8 | 73 | 1 | 92 | 24 | 159 | 0 | 124 | 7 | 70 | 0 | 161 | 2 | 37 | 0 |
| 34 | 10 | 49 | 1 | 59 | 19 | 165 | 1 | 93 | 8 | 57 | 0 | 125 | 9 | 88 | 0 | 162 | 17 | 207 | 0 |
| 35 | 36 | 80 | 1 | 60 | 19 | 168 | 1 | 93.4 | 17 | 116 | 0 | 126 | 8 | 80 | 0 | 163 | 11 | 140 | 0 |
| 35.5 | 22 | 111 | 1 | 61 | 21 | 188 | 1 | 94.5 | 8 | 58 | 0 | 127 | 13 | 125 | 0 | 164 | 9 | 118 | 0 |
| 36 | 18 | 93 | 1 | 62 | 13 | 122 | 1 | 95 | 9 | 65 | 0 | 128 | 14 | 135 | 0 | 165 | 19 | 234 | 0 |
| 37 | 10 | 54 | 1 | 62.5 | 9 | 88 | 1 | 95.5 | 7 | 52 | 0 | 129 | 8 | 82 | 0 | 166 | 20 | 247 | 0 |
| 37.5 | 15 | 81 | 1 | 63 | 8 | 80 | 1 | 96 | 15 | 106 | 0 | 130 | 11 | 110 | 0 | 167 | 7 | 97 | 0 |
| 38 | 11 | 61 | 1 | 64 | 15 | 144 | 1 | 97 | 20 | 141 | 0 | 131 | 18 | 175 | 0 | 168 | 13 | 168 | 0 |
| 39 | 27 | 150 | 1 | 65 | 11 | 110 | 1 | 98 | 11 | 181 | 0 | 132 | 7 | 75 | 0 | 169 | 13 | 169 | 0 |
| 39.5 | 27 | 152 | 1 | 66 | 12 | 121 | 1 | 99 | 21 | 151 | 0 | 133 | 19 | 187 | 0 | 170 | 6 | 127 | 0 |
| 40 | 15 | 87 | 1 | 66.6 | 12 | 123 | 1 | 99.7 | 25 | 180 | 0 | 134 | 12 | 123 | 0 | | | | |
| 41 | 9 | 55 | 1 | 68 | 12 | 125 | 1 | 100. | 8 | 62 | 0 | 135 | 12 | 124 | 0 | | | | |

**[Note] If you want to used anyother divider ratios, Please you contact to SEC engineers**

Table 3-4 PLL(AL2007LA)의 P,M,S 값에 따른 주파수 table

## 3.13 Graphic Controller

### 3.13.1 Command queue front pointer register

**Address : 0300 0080h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15:11 | R | Reserved. | xxh |
| 10: 0 | R/W | CmdQueueFront<br>Command queue의 front pointer.<br>Command queue : 0380 0000h ~ 0381 FFFFh 영역에 예약됨.<br>64byte x 2048 depth | 00h |

### 3.13.2 Command queue rear pointer register

**Address : 0300 0082h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15:11 | R | Reserved. | xx |
| 10: 0 | R | CmdQueueRear<br>Command queue의 rear pointer.<br>rear pointer가 font pointer와 같아질 때까지 자동으로 증가.<br>(command가 처리될 때마다) | 000h |

### 3.13.3 Rendering engine control register

**Address : 0300 008ch**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15: 8 | R | Reserved. | xx |
| 7 | R/W | Rendering Buffer Select<br>0 : render to Back buffer ( ~ Current display bank)<br>1 : render to Front buffer (Current display bank) | 0b |
| 6 : 5 | R | Reserved. | x |
| 3 | R/W | Engine Reset<br>모든 rendering pipeline을 초기화한다.<br>Pipeline을 초기화 할뿐, Video Register는 초기화 하지 않는다. | 0b |
| 2 | R/W | Engine Start<br>Engine Reset 과 Engine Start 는 동시에 1 이어선 안된다.<br>1이면 Command queue의 내용이 처리되기 시작한다.<br>Engine Reset이 1이 될 때까지 처리는 중단되지 않는다. | 0b |
| 1 : 0 | R/W | Dither Mode<br>00 : 2x2<br>01 : 4x4<br>1x : Disable | 10b |

### 3.13.4 Display bank register

**Address : 0300 008eh**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15: 1 | R | Reserved. | xx |
| 0 | R | Current display bank | 0 |

### 3.13.5 Rendering bank1 address select register

**Address : 0300 0090h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15 | R/W | Rendering bank1 address select<br>0 : Bank1 address = 0410 0000h<br>1 : Bank1 address = 0440 0000h<br>Rendering bank0 address is fixed. ( Bank0 address = 0400 0000h )<br>bank1을 0410 0000h 로 설정하면 시스템이 느려지므로, 0440 0000h으로 하는 것이 좋다. | 00 |
| 14: 0 | R | Reserved. | xxxx |

### 3.13.6 Flip command count register

**Address : 0300 00a6h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15: 8 | R | Reserved. | xx |
| 7 : 0 | R/W | Flip Count<br>Flipping이 일어날 때마다 자동 감소하는 counter.<br>Read : counter value.<br>Write 0 : reset flip counter<br>Write 1 : increase flip count | 00 |

### 3.13.7 TMEM/FMEM Control Register(TFCTRL)

**Address : 0300 0100h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 15 | R/W | nMRST : TMEM/FMEM Reset<br>0 : Tmem/Fmem Reset, 1: Active | 0 |
| 14 : 4 | R | Reserved. | - |
| 3 : 2 | R/W | CfgTMEMType : SDRAM Type Select<br>00 : 16Mbit SDRAM, 10 : 64Mbit SDRAM. | 00 |
| 1 : 0 | RW | CfgFMEMType : SDRAM Type Select<br>00 : 16Mbit SDRAM, 10 : 64Mbit SDRAM. | 00 |

### 3.13.8 FMEM Timing Control Register(FMEMTIM)

**Address : 0300 0106h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 11 : 9 | R/W | FtRP : FMEM tRP Parameter | 101 |
| 8 : 6 | RW | FtRCD. : RAS to CAS Delay | 011 |
| 5 : 3 | RW | FtRC : tRC | 110 |
| 2 : 0 | RW | FtCL : FMEM CAS Latency | 010 |

### 3.13.9 TMEM Timing Control Register(TMEMTIM)

**Address : 0300 0108h**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 11 : 9 | R/W | FtRP : TMEM tRP Parameter | 101 |
| 8 : 6 | RW | FtRCD. : RAS to CAS Delay | 011 |
| 5 : 3 | RW | FtRC : tRC | 110 |
| 2 : 0 | RW | FtCL : TMEM CAS Latency | 010 |

## 3.14 SE3208 System Co-processor

### 3.14.1 General Descriptions

Embedded 32bit EISC (Extendable Instruction Set Computer)에 적용할 Co-processor spec은 다음과 같이 CP32 Version 0.21 (VIRGINE G2 Only)에 기초한다.

***CP32 Version 0.21***

- Cache Feature

  4Kbyte Unified 2 Way Set Associative Cache
  Write Through / Write Back
  16 Byte / Line
  LRU Replacement
  Invalidated by Hardware

- Memory Map for Caching

  0000_0000h ~ 00FF_FFFFh : Local ROM Area
  0200_0000h ~ 02FF_FFFFh : Local DRAM, SRAM Area
  0500_0000h ~ 0FFF_FFFFh : Expansion ROM Area

- 4 Word Deep Write Buffer (FIFO)

### 3.14.2 System Co-processor Register Descriptions

#### *3.14.2.1Master Command Register*

**Co-processor #0 – R7**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 13 | R | Reserved | 0 |
| 12 | R | Always 1. | 1 |
| 11 | W | Local ROM,Local RAM Function Unit Control<br>0 : Disable Cache Unit<br>1 : Enable Cache Unit | 0 |
| 10 | W | Expansion ROM Function Unit Control<br>0 : Disable Cache Unit<br>1 : Enable Cache Unit | 0 |
| 9 : 8 | R | Function Unit ( Cache ) | 01b |
| 7 : 1 | R | Reserved. | 0 |
| 0 | R/W | Co-processor wait option<br>0: normal(1clock) 1: 1 Wait (2clock) | |

- Coprocessor Register %R7의 bit 11과 bit 10을 이용하여 Local Memory (ROM, RAM)과 Expansion ROM의 Cache Active Mode를 각각 설정 할 수 있다. 또한 bit 0를 이용하여 Cache Read Hit가 발생 할 때의 Access를 1 clock (normal mode) 또는 2 clock (wait mode)으로 설정 할 수 있으며, 1 clock access일 때는 Performance가 증가하나 시스템의 clock frequency는 느려지고, 반대로 2 clock access일 때는 Performance는 감소하나 전체 clock frequency는 빨라진다.

#### *3.14.2.2Status Register*

**Co-processor #0 – R6**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 | R | Privileged co-processor. | 1 |
| 30 : 28 | R | Type | 000b |
| 27 : 25 | R | Sub type | 000b |
| 23 | R | Cache Status<br>0 : Disable 1 : Enable | 0 |
| 22 | R | Reserved. | 0 |
| 21 | R | Write Buffer (FiFo) Enable | 1 |
| 20 | R | Invalid Status<br>0 : Not Invalidate Processing 1 : Invalidate Processing | 0 |
| 19 : 16 | R | Reserved. | 0 |
| 15 : 14 | R | Debugger Configuration<br>2 Channel Debugger, Break only at Instruction Fetch. | 01b |
| 13 : 12 | R | Reserved. (No TLB) | 0 |
| 11 | R | Write Buffer Configuration<br>4 Word Deep Write Buffer | 1 |
| 10 : 8 | R | Cache Configuration<br>Unified 4Kbyte, 2 Way Set Associative, Write Through/Write Back | 011b |
| 7 : 1 | R | Reserved. | 0 |
| 0 | R | Always 1 | 1 |

- Coprocessor Register %R6은 Cache의 상태를 나타내고 있으며, bit 20은 Invalid Status로서 Cache의 상태bit인 valid bit와 dirty bit를 clear시키는 동안의 상태를 나타낸다.

#### *3.14.2.3 Invalidate Cache without Copy Back Register*

**Co-processor #0 – R5**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 | R | Cache Type<br>0 : Unified Cache | 0 |
| 30 : 1 | R | Reserved. | 0 |
| 0 | W | Cache Tag 상태를 모두 Invalidate 상태로 Set시킴.<br>0 : Disable Invalid (No Action)<br>1 : Enable Invalid<br>R15 Master Command Register에서 Cache가 Disable되었을 경우에만 유용하다. | 0 |

- Coprocessor Register %R5는 Cache의 Tag를 초기화 시키는 작업을 수행하여, bit 0가 Enable되었을 때 valid bit 및 dirty bit를 clear시킨다.

#### *3.14.2.4Memory Bank Data Register*

**Co-processor #0 – R3**

| *Bit* | *R/W* | *Description* | *Default Value* |
|---|---|---|---|
| 31 : 8 | R | Reserved. | 0 |
| 7 | R | Always 1. | 1 |
| 6 | RW | Memory Bank (Local ROM / RAM, Expansion ROM)의 Cache Configuration을 설정한다.<br>0 : Write Through Cache<br>1 : Write Back Cache | 0 |
| 5 : 0 | R | Reserved. | 0 |

- Coprocessor Register %R3은 Cache의 Configuration을 설정하는데 사용되며 Local ROM / RAM, Expansion ROM Write Through Mode와 Write Back Mode로 구분된다.

# 4 GRAPHIC COMMAND PACKET FORMAT

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| PD[0]/PH | | E6 | E5 | E4 | E3 | E2 | E1 | E0 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PD[1] | | | | | | | Dx | | | | | | | | | |
| PD[2] | | | | | | | | Dy | | | | | | | | |
| PD[3] | | | | | | | Endx | | | | | | | | | |
| PD[4] | | | | | | | | Endy | | | | | | | | |
| PD[5] | Tx[15:0] | | | | | | | | | | | | | | | |
| PD[6] | | | | | | | | | | | | Tx[20:16] | | | | |
| PD[7] | Ty[15:0] | | | | | | | | | | | | | | | |
| PD[8] | | | | | | | | | | | | Ty[20:16] | | | | |
| PD[9] | dTxdx [15:0] | | | | | | | | | | | | | | | |
| PD[10] | | | | | | | | | | | | dTxdx [20:16] | | | | |
| PD[11] | dTydx [15:0] | | | | | | | | | | | | | | | |
| PD[12] | | | | | | | | | | | | dTydx [20:16] | | | | |
| PD[13] | dTxdy [15:0] | | | | | | | | | | | | | | | |
| PD[14] | | | | | | | | | | | | dTxdy [20:16] | | | | |
| PD[15] | dTydy [15:0] | | | | | | | | | | | | | | | |
| PD[16] | | | | | | | | | | | | dTydy [20:16] | | | | |
| PD[17] | SrcAlphaColor [15:0] | | | | | | | | | | | | | | | |
| PD[18] | | | SrcBlendFunc [5:0] | | | | | | SrcAlphaColor [23:16] | | | | | | | |
| PD[19] | DestAlphaColor [15:0] | | | | | | | | | | | | | | | |
| PD[20] | | | DestBlendFunc [5:0] | | | | | | DestAlphaColor [23:16] | | | | | | | |
| PD[21] | ShadeColor [15:0] | | | | | | | | | | | | | | | |
| PD[22] | | | | | | | | | ShadeColor [23:16] | | | | | | | |
| PD[23] | TransparencyColor [15:0] | | | | | | | | | | | | | | | |
| PD[24] | | | | | | | | | TransparencyColor [23:16] | | | | | | | |
| PD[25] | TileOffset | | | | | | | | | | | | | | | |
| PD[26] | FontOffset | | | | | | | | | | | | | | | |
| PD[27] | PaletteOffset | | | | | | | | | | | | | | | |
| PD[28] | | | | 9 | PaletteBankSelect | | | | 8 | | THeight | | | TWidth | | |

0 : FlipFlag

**1 : AlphaEnable**
**2 : TransparencyEnable**
**3 : TextureEnable**
**4 : ShadeEnable**
**5 : DrawType**
**6 : PaletteUpdateFlag**
**7 : ASyncFlipFlag**
**8 : PixelFormat**
**9 : TextureMode**

**E0~E6**

parameter 그룹의 유효성(validate)을 표시.

CPU의 parameter 전송량을 줄이기 위해 command는 control parameter를 제외한 나머지 부분이 총 8개의 parameter 그룹으로 나뉘어있다. 각 그룹은 그룹에 해당하는 flag가 1이면 packet의 내용을 가져다 쓰게되며, 0이면 초기값사용 혹은 이전에 설정했던 값을 그대로 재사용 하게 된다.

초기값인지 이전 값 유지인지는 parameter그룹별로 각각 정의 되어있다

| Group | Parameter | if( En == 1 ) | if( En == 1 ) |
|---|---|---|---|
| E0 | Dx, Endx<br>Dy, Endy | 상자를 그린다. | 렌더링을 수행하지 않는다 |
| E1 | Tx, Ty | Tx = PD[5~6]<br>Ty = PD[7~8] | Tx = 0<br>Ty = 0 |
| E2 | dTxdx, dTydx<br>dTxdy, dTydy | dTxdx = PD[ 9~10]<br>dTydx = PD[11~12]<br>dTxdy = PD[13~14]<br>dTydy = PD[15~16] | dTxdx = (1<<9)<br>dTydx = 0<br>dTxdy = 0<br>dTydy = (1<<9) |
| E3 | SrcAlphaColor,<br>DestAlphaColor | SrcAlphaColor = PD[17~18]<br>SrcAlphaFunc = PD[18]<br>DestAlphaColor = PD[19~20]<br>DestAlphaFunc = PD[20] | Register값 보존 |
| E4 | ShadeColor | ShadeColor = PD[21~22] | |
| E5 | TransparencyColor | TransparencyColor = PD[23~24] | |
| E6 | TileOffset<br>FontOffset<br>PaletteOffset<br>PaletteBankSelect<br>PixelFormat<br>TWidth, THeight<br>TextureMode | TileOffset = PD[25]<br>FontOffset = PD[26]<br>PaletteOffset = PD[27]<br>PaletteBankSelect = PD[28]<br>PixelFormat = PD[28]<br>TWidth, Theight = PD[28]<br>TextureMode = PD[28] | |

**FlipFlag**

현재 command가 Flipping임을 나타낸다. 이 값이 1이면 다른 모든 parameter가 무시된다.

수직회귀를 기다렸다가 flipping을 수행한다.

**ASyncFlipFlag**

현재 command가 Flipping임을 나타낸다. 이 값이 1이면 다른 모든 parameter가 무시된다.
단, 이 command는 수직회귀를 기다리지 않고 바로 flipping을 수행한다.

**AlphaEnable**

Alpha blending enable.
Alpha blending register ( Group E3 )를 적용하여 blending을 수행한다.

**TransparencyEnable**

Transparency color check enable.
이 값이 1이면 texture color중 TransparencyColor와 같은 texel은 찍히지 않게 된다.

**TextureEnable**

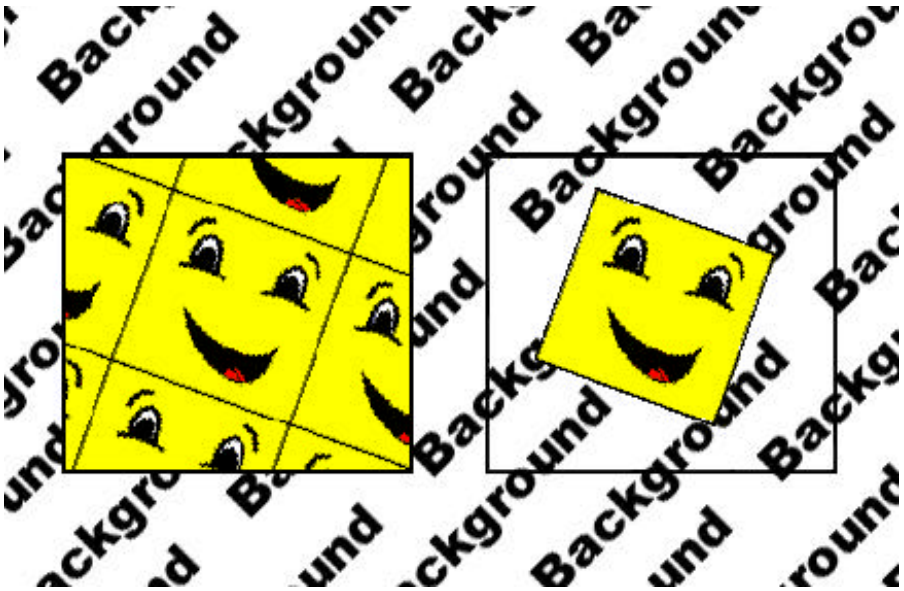
Texture mapping enable.
0: Texture color = White
1: Texture color = ReadTexture( tx,ty )

**ShadeEnable**

Shade enable.
0: Shade color = White
1: Shade color = ShadeColor register

**DrawType**

Sprite enable.
Texture 좌표(tx,ty)가 texture 크기를 벗어났을 때, 이 값이 0 이면 반복, 1이면 clipping.




**< RegDrawType이 0인경우(좌측)와 1인경우(우측) >**

**PaletteUpdateFlag**

Palette table을 갱신하라는 flag.
VR0_2D는 내부에 256개의 24bit RGB color table을 가지고 있다.
이 값이 1인경우 PaletteOffset이 가리키는 메모리의 내용으로 color table을 채운다.
만약 E0 = 1 이면, color table을 갱신한 다음 렌더링을 수행한다.

**[9:0] Dx, Endx**

**[8:0] Dy, Endy**

렌더링할 Screen 좌표( Dx, Dy )-(Endx, Endy )

unsigned integer (단위:Pixel)

**[20:0] Tx, Ty**

렌더링 시작점에 매핑될 Texture좌표.

fixed point [ s.11.9 ]. (단위:Texel)

**[20:0] dTxdx, dTydx, dTxdy, dTydy**

dTxdx : screen x좌표 1증가에 따른 texture x좌표의 증가분.

dTydx : screen x좌표 1증가에 따른 texture y좌표의 증가분.

dTxdy : screen y좌표 1증가에 따른 texture x좌표의 증가분.

dTydy : screen y좌표 1증가에 따른 texture y좌표의 증가분.

fixed point [ s.11.9 ]. (단위:Texel/Pixel)

**[23:0] SrcAlphaColor, DestAlphaColor**

Alpha blending color.

{ R[7:0], G[7:0], B[7:0] }

**[5:0] SrcBlendFunc, DestBlendFunc**

Blend function select

| | Blend function |
|---|---|
| 000001 (0x01) | Zero |
| 000010 (0x02) | Source Alpha |
| 000100 (0x04) | Source Color |
| 001000 (0x08) | Destination Alpha |
| 010000 (0x10) | Destination Color |
| 100001 (0x21) | One |
| 100010 (0x22) | Inverse Source Alpha |
| 100100 (0x24) | Inverse Source Color |
| 101000 (0x28) | Inverse Destination Alpha |
| 110000 (0x30) | Inverse Destination Color |

Source Alpha : SrcAlphaColor register value

Source Color : Texture color x Shade color

Destination Alpha : DestAlphaColor register value

Destination Color : Render target buffer의 pixel color

result color = Source Color x [ SrcBlendFunc ] + Destination Color x [ DestBlendFunc ]

**[23:0] ShadeColor**

{ R[7:0], G[7:0], B[7:0] }

**[23:0] TransparencyColor**

{ R[7:0], G[7:0], B[7:0] }

**[15:0] TileOffset**

Tile index-map offset

TileOffset = offset>>7, offset = address-03800000h

offset : Texture memory base address( 03800000h )로부터 상대주소.

address : index-map address, Texture memory에 존재, command queue 영역과 겹치지 않으며, 128의 배수이어야 한다.

**[15:0] FontOffset**

Pixel data offset

FontOffset = offset>>7, offset = address-03800000h

offset : Texture memory base address( 03800000h )로부터 상대주소.

address : Pixel data address, Texture memory에 존재, command queue영역과 겹치지 않으며, 128의 배수이어야 한다.

**[21:9] PaletteOffset**

Palette offset

PaletteOffset = (offset>>7)&0xfff8, offset = address-03800000h

offset : Texture memory base address( 03800000h )로부터 상대주소.

address : Palette data address, Texture memory에 존재, command queue 영역과 겹치지 않으며, 1024의 배수이어야 한다.

**[3:0] PaletteBankSelect**

Palette bank select for 4bpp( 16color )

VR0_2D는 내부에 256개의 24bit RGB color table을 가지고 있다. 4bpp mode를 사용할 경우엔, 이것을 16개의 16color table로 구분하여 이중 하나를 사용하도록 되어있는데, 이때 사용되는 것이 Palette bank select 이다.

**[1:0] PixelFormat**

FontOffset이 가리키는 Pixel data 의 pixel format을 선택.

00: 4bit indexed mode (16color)

01: 8bit indexed mode (256color)

1x: 16bit RGB565 mode (65536color)

**[2:0] TWidth, THeight;**

Texture size

TWidth = $\log_2$( Texture_width )-3 , 8 Texture_width 1024 (pixel단위)

THeight = $\log_2$( Texture_height )-3 , 8 Texture_height 1024 (pixel단위)

**TextureMode**

0: Image texture

if 16bpp, Texel=(unsined short*)address(FontOffset) [ ty * (8<< TWidth) + tx ]

1: Tile indexed texture

if 16bpp, Texel=(unsined short*)address(FontOffset)[ (index<<6) + ((ty&7)<<3) + (tx&7) ]

where:

Index = (unsined short*)address(FontOffset)[ (ty>>3) * (1<< TWidth) + (tx>>3) ]

address(A) = 03800000h + (A*128)

# 5. WAVETABLE SYNTHESIZER

## 5.1 Description

Amazon has Wavetable synthesizer to support 32 poly and each 32 sound channel designates volume, panning, envelope and wave to generate individually.

Wave format Amazon supports is signed 8bit PCM, signed 16bit PCM and 8bit u-law and each wave data is to exist on frame buffer or texture buffer respectively.

Each channel has channel parameter register composed of 15half-words. Channel parameter register designates address of frame memory or texture memory which saves sample and saves volume, envelope control parameter and increased value to generate wave at desired frequency.

It has sound control register to control whole Wavetable synthesizer. This sound control register has function to start or stop operation of each channel according to channel parameter register value and function to control existing operation status and interrupt control.

## 5.2 Channel Parameter Register (WP0~31)

***Address* : 0x0480_0000 ~ 0x0480_03FF**

| | b | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| **0x00** | CurSAddr[15:0] | | | | | | | | | | | | | | | |
| **0x02** | CurSAddr[31:16] | | | | | | | | | | | | | | | |
| **0x04** | EnvVol[15:0] | | | | | | | | | | | | | | | |
| **0x06** | R | 1 | 1 | LD | EnvStage | | | | EnvVol[23:16] | | | | | | | |
| **0x08** | dSAddr[15:0] | | | | | | | | | | | | | | | |
| **0x0A** | R | Modes | | | | | | | Reserved | | | | | | | |
| **0x0C** | LoopBegin[15:0] | | | | | | | | | | | | | | | |
| **0x0E** | R | | | | | | | | Reserved | | LoopBegin[21:16] | | | | | |
| **0x10** | LoopEnd[15:0] | | | | | | | | | | | | | | | |
| **0x12** | R | | | | | | | | Reserved | | LoopEnd[21:16] | | | | | |
| **0x14** | EnvRate0[15:0] | | | | | | | | | | | | | | | |
| **0x16** | EnvRate1[15:0] | | | | | | | | | | | | | | | |
| **0x18** | EnvRate2[15:0] | | | | | | | | | | | | | | | |
| **0x1A** | EnvRate3[15:0] | | | | | | | | | | | | | | | |
| **0x1C** | EnvRate1[16] | EnvTarget1 | | | | | | | EnvRate0[16] | EnvTarget0 | | | | | | |
| **0x1E** | EnvRate3[16] | EnvTarget3 | | | | | | | EnvRate2[16] | EnvTarget2 | | | | | | |

### 5.2.1 Sample Address Control

- ***CurSAddr (Current Sample Address)***

***Fixed Point : 22.10*** ***Default Value : unknown***
This value saves address of texture/frame memory which saves wave sample to generate. By reading the value, you can monitor the processed status of existing channel.

- ***dSAddr (Delta Sample Address)***

***Fixed Point : 6.10*** ***Default Value : unknown***
It designates increased value of CurSAddr. Whenever one sample data is generated, this value is added to CurSAddr. By changing the value, each wave frequency will be changed.

### 5.2.2 Loop Control

- ***LoopBegin, LoopEnd***

***Fixed Point : 22*** ***Default Value : unknown***
The beginning and end of sample loop are set to LoopBegin and LoopEnd. Although you do not want looping, LoopEnd should be set. By setting modes, user can run looping and pingpong. Like CurSAddr, user must set word-type offset from memory into LoopBegin and LoopEnd.

- ***LD (Loop Direction)***

***Bits : 1*** ***Default Value : 1***
LD (Loop Direction) can set beginning direction of play when setting wave loop.

0 : Inverse Direction : Decreases CurSAddr value and brings the value.
1 : Normal Direction : Increases CurSAddr value and brings the value

### 5.2.3 Envelope Control

- ***EnvVolume (Envelope Volume)***

***Fixed Point : S.7.6*** ***Default Value : unknown***
Designates the value of existing envelope volume and reads the value of existing envelope volume to be processed.

- ***EnvStage (Envelope Stage)***

***Bits :4*** ***Default Value : 4' b0001***
Saves status of current envelope. Wavetable synthesizer of VirgineG2 can have total 4 envelope stages and have the following values.

Bit 0 : Attack Stage
Bit 1 : Decay Stage
Bit 2 : Sustain Stage
Bit 3 : Release Stage

- ***EnvTarget0~3 (Envelope Target)***

***Unsigned : 0~127*** ***Default Value : unknown***
Designates target volume value per envelope stage. Envelope stage moves to next stage when interpolated envelope volume value accords with EnvTarget.

- ***EnvRate0~3 (Envelope Rate)***

***Fixed Point : S.16*** ***Default Value : unknown***
Assign increased value of EnvVol by EnvStage.

### 5.2.4 Mode Control

- ***Modes (Modes)***

***Bits : 6*** ***Default Value : unknown***

Designates increased value to interpolate envelope volume value.

Designates loop, envelope and wave format of each channel.

Bit 0 : **Looping** : Plays from LoopBegin to LoopEnd repetitiously when wave output.
Bit 1 : **Sustain** : Runs sustain block LoopBegin에서 LoopEnd until note-off happens on envelope mode.
Bit 2 : **Envelope** : Decides whether to run envelope control or not.
Bit 3 : **Pingpong** : Decides to run normal direction and inverse direction repetitiously on loop mode.
Bit 4 : **u-Law** : Decides wave data to be 8 bit u-law.
Bit 5 : **8-bit** : Decides wave data to be 8bit/16bit PCM.
1 : 8bit PCM, 0 : 16bit PCM
This value is meaningless if wave data is 8bit u-law.
Bit 6 : **Texture** : Notifies that wave data is locates at texture memory.

### 5.2.5 Channel Volume Control

- ***LChnVolume (Left Channel Volume)***

***Unsigned : 0~127*** ***Default Value : unknown***

Assign size of left volume.

- ***RChnVolume (Right Channel Volume)***

***Unsigned : 0~127*** ***Default Value : unknown***

Assign size of right volume.

# 6. BOUNDARY SCAN FOR AMAZON

- AMAZON에 추가되어 있는 boundary scan은 board test를 위한 용도가 아니라 Flash memory download시에 내부 core를 통하지 않고 JTAG을 통해서 작업을 수행하기 위한 용도이다. 그래서 Frame/Texture memory Interface Pin들은 Boundary Scan Register에 연결되어 있지 않다
- AMAZON의 JTAG은 IEEE1149.1을 일부 따르지 않는다. Test Pin들이 다른 핀들과 공유가 되어 있어 POC을 통해서 JTAG test mode로 전환한 후에 JTAG port를 사용할 수 있게 된다. 아래의 표와 같이 TEST, TA[5], TA[4], TA[3] 값이 설정이 되면 jtag test mode로 전환이 된다.

Table 6-1 POC Configuration for JTAG mode

| Pin name | Pin number | Value |
|---|---|---|
| TEST | 8 | 1 |
| TA[5] | 206 | 1 |
| TA[4] | 208 | 1 |
| TA[3] | 207 | X |

- JTAG mode로 전환 했을 때에는 PCS3X, PCS4X, SBCK, SDAT 는 input으로 바뀌게 되고 SLRCK 는 tri-state output으로 바뀌게 된다

Table 6-2 Pin replacement for JTAG mode

| Test Pin | Pin Mapping(pin number) |
|---|---|
| TRST | PCS3X (100) |
| TCK | PCS4X (101) |
| TMS | SBCK (102) |
| TDI | SDAT (103) |
| TDO | SLRCK (104) |

## 6.1 TAP Controller

### 6.1.1 TAP controller interface

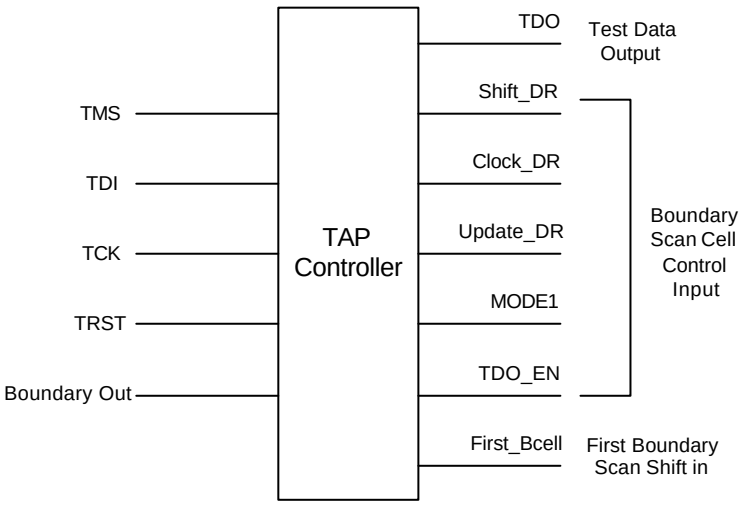



Figure 6.1-1 IN/OUT of TAP Controller

**위 그림의 First_Bcell 이 TDI핀에 연결이 되어 첫번째 boundary scan cell의 serial input으로 입력 되며 Boundary Out은 TDO에 연결이 되어 있다. Shift_DR, Clock_DR, Update_DR, MODE1은 boundary scan cell을 제어하는 신호이다**

### 6.1.2 State machine

16개의 state를 가진 state machine은 크게 RESET, RUN-TEST, SCAN-DR, SCAN-IR으로 4가지의 동작으로 구성이 되어 있으며 SCAN-DR, SCAN-IR은 CAPTURE, SHIFT, UPDATE 세개의 주 단계로 구성되어 있다

아래의 state machine은 Test Pin중에 TMS에 의해서 state간 천이가 이루어지며 state간의 천이는 TCK의 rising edge에서 이루어진다.

Instruction Register를 제어 하기 위해서는 state diagram의 오른쪽부분에 해당하는 SCAN-IR쪽에서 이루어지며 SHIFT-IR state에서 TCK로부터 원하는 값은 shift되며 shift 된 값을 normal 동작의 출력으로 내보내는 동작은 UPDATE-IR state에서 이루어 지게 된다. 그리고 CAPTURE-IR은 RUN-TEST/IDLE 상태에서 동작으로 Boundary Scan Cell쪽에 도달된 값을 CAPTURE하는 state이다

Data Register(Bypass register or Boundary Scan Register)의 제어도 Instruction Register의 제어와 동일하게 이루어진다.

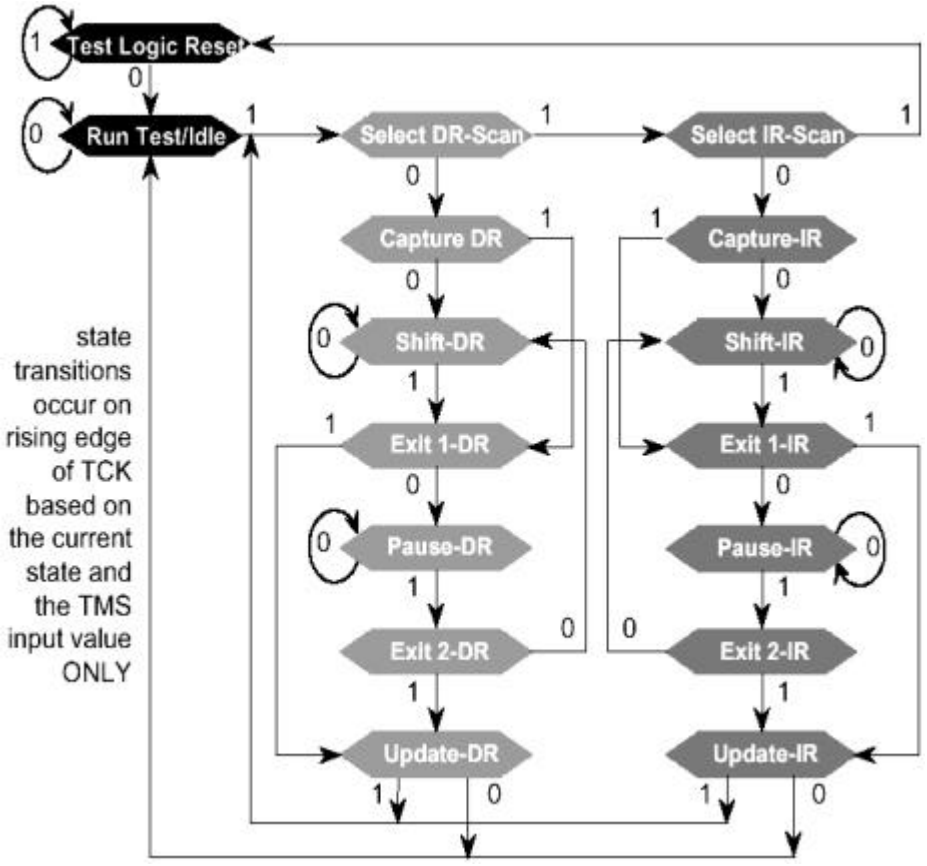



Figure 6.1-2 State diagram of TAP Controller

## 6.2 Boundary Scan Cell

TAP controller의 boundary scan cell control input 신호로 이 cell들을 제어하여 TAP state machine의 해당되는 state에 따라 다른 동작을 하게 된다.

아래 그림에서 보여지는 Cell은 Control과 Observe가 모두 가능한 Scan Cell으로 입력 및 출력 단 및 제어 단에 추가 된다

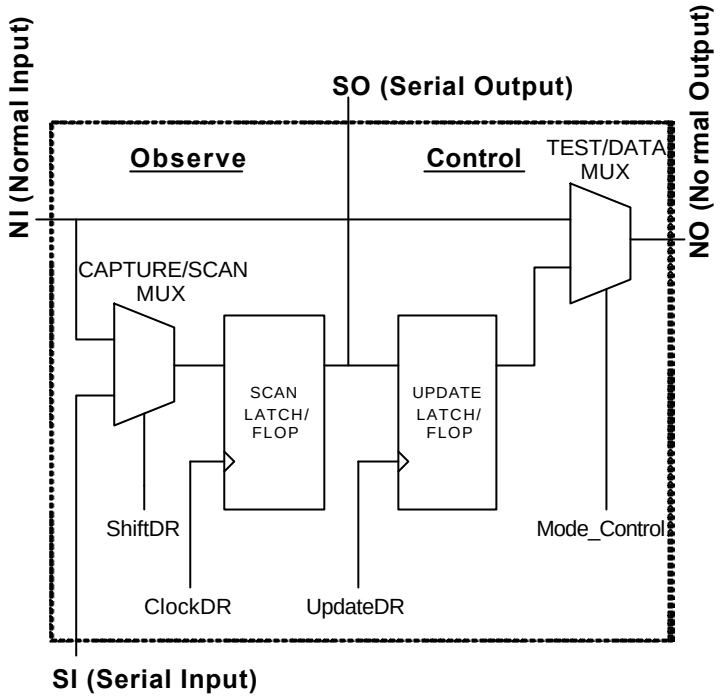



Figure 6.2-1 Boundary Scan cell for observe/control

## 6.3 Instruction Register

Instruction Register는 Data Register를 제어하기 위한 명령어를 가지고 있는 레지스터이다. Instruction Register의 값은 TAP의 state machine에서 왼쪽부분에 해당하는 SCAN-IR쪽에서 설정하게 된다.

각 Instruction의 동작에 대한 정보는 IEEE 1149.1을 참고하면 된다.

아래의 표에서 AMAZON에서 지원하는 Instruction과 그에 따라 선택되는 Data Register를 보여주고 있다

Table 6-3 JTAG Instruction

| Instruction | Binary | Hexadecimal | Selected Data Register |
|---|---|---|---|
| EXTEST | B0000 | 0x0 | Boundary Scan Chain Register |
| BYPASS | B1111 | 0xF | Bypass Register |
| SAMPLE/PRELOAD | B1011 | 0xB | Boundary Scan Chain Register |
| CLAMP | B0011 | 0x3 | Bypass Register |

## 6.4 Data Register

### 6.4.1 Bypass Register

Instruction BYPASS에 의해 선택되어지며 여러 개의 칩들가운데 하나의 칩을 테스트 하지 않고 skip하기 위한 레지스터로 one-bit shift register로 구성 되어 있다. 그러나 아마존의 boundary scan의 목적은 flash memory download 이기 때문에 bypass register는 의미가 없다

### 6.4.2 Boundary Scan Register

Boundary scan chain의 구성에 대한 정보는 amazon.bsd 파일에 명시되어 있으며 input/output pin에 각각 하나씩 Bidirectional pin에는 Input/Output/ Control해서 세개의 Boundary Scan Cell(BSC) 가 추가 된다.

그러므로 외부에서 Boundary Scan chain제어시에는 Bidirectional pin의 control 신호를 고려 하여야 한다. Flash Memory download시에는 이 control신호들을 전부 0으로 설정해서 출력모드로 동작시키면 된다

다음 페이지의 표에서 Amazon의 boundary scan register를 구성하고 있는 pin에 대한 정보를 보여주고 있다.

Table 6-4 Amazon Boundary-scan Register Pin Map(Sheet 1 of 2)

| Bit | Pin Name and Number | | | Bit | Pin Name and Number | | |
|---|---|---|---|---|---|---|---|
| 1 | TX0/PCS1X | Output(1) | 105 | 26 | A17/PIO16 | Input(34)<br>Output(35)<br>Control(36) | 32 |
| 2 | RX0/PCS2X | Input(2)<br>Output(3)<br>Control(4) | 106 | 27 | A18/PIO17 | Input(37)<br>Output(38)<br>Control(39) | 33 |
| 3 | TX1/SIOTXD | Output(5) | 107 | 28 | A19/PIO18 | Input(40)<br>Output(41)<br>Control(42) | 34 |
| 4 | RX1/SIORXD | Input(6) | 108 | 29 | A20/PIO19 | Input(43)<br>Output(44)<br>Control(45) | 35 |
| 5 | TX1EN/PCS6X | Input(7)<br>Output(8)<br>Control(9) | 109 | 30 | A21/PIO20 | Input(46)<br>Output(47)<br>Control(48) | 36 |
| 6 | UCLK/PCS7X | Input(10)<br>Output(11)<br>Control(12) | 110 | 31 | A22/PIO21 | Input(49)<br>Output(50)<br>Control(51) | 37 |
| 7 | PWM/PIO26 | Input(13)<br>Output(14)<br>Control(15) | 111 | 32 | A23/PIO22 | Input(52)<br>Output(53)<br>Control(54) | 38 |
| 8 | BE0X(A0) | Output(16) | 9 | 33 | A24/PIO23 | Input(55)<br>Output(56)<br>Control(57) | 39 |
| 9 | BE1X | Output(17) | 10 | 34 | A25 | Input(58)<br>Output(59)<br>Control(60) | 42 |
| 10 | BE2X(A1) | Output(18) | 11 | 35 | LSDRCLK | Output(61) | 43 |
| 11 | BE3X/PCS0X | Output(19) | 12 | 36 | A26 | Input(62)<br>Output(63) | 44 |
| 12 | RA1(A3) | Output(20) | 16 | 37 | A27/PIO27 | Input(64)<br>Output(65)<br>Control(66) | 45 |
| 13 | RA2(A4) | Output(21) | 17 | 38 | A28/SBE0X | Output(67) | 46 |
| 14 | RA3(A5) | Output(22) | 18 | 39 | A29/SBE1X | Output(68) | 47 |
| 15 | RA4(A6) | Output(23) | 19 | 40 | A30/SBE2X | Output(69) | 48 |
| 16 | RA5(A7) | Output(24) | 20 | 41 | A31/SBE3X | Output(70) | 49 |
| 17 | RA6(A8) | Output(25) | 21 | 42 | SRASX | Input(71)<br>Output(72)<br>Control(73) | 50 |
| 18 | RA7(A9) | Output(26) | 22 | 43 | SCASX | Output(74) | 51 |
| 19 | RA8(A10) | Output(27) | 23 | 44 | MCS0X | Output(75) | 52 |
| 20 | RA9(A11) | Output(28) | 24 | 45 | EXCSX | Output(76) | 53 |
| 21 | RA10(A12) | Output(29) | 25 | 46 | SWEX | Input(77)<br>Output(78)<br>Control(79) | 54 |
| 22 | RA11(A13) | Output(30) | 28 | 47 | IRQ0X/PCS5X | Input(80)<br>Output(81)<br>Control(82) | 55 |
| 23 | RA12(A14) | Output(31) | 29 | 48 | IRQ1X/PIO24 | Input(83)<br>Output(84)<br>Control(85) | 56 |
| 24 | BA0(A15) | Output(32) | 30 | 49 | IRQ2X/PIO25 | Input(86)<br>Output(87)<br>Control(88) | 57 |
| 25 | BA1(A16) | Output(33) | 31 | 50 | ROMCSX | Output(89) | 58 |

Table 6-5 Amazon Boundary-scan Register Pin Map(Sheet 2 of 2)

| Bit | Pin Name and Number | | | Bit | Pin Name and Number | | |
|---|---|---|---|---|---|---|---|
| **51** | RDX | Output(90) | 59 | **69** | D15 | Input(124)<br>Output(125) | 81 |
| **52** | WRX | Output(91) | 60 | **70** | D16 | Input(126)<br>Output(127)<br>Control(128) | 82 |
| **53** | IRDYX | Input(92) | 61 | **71** | D17 | Input(129)<br>Output(130)<br>Control(131) | 83 |
| **54** | D0 | Input(93)<br>Output(94)<br>Control(95) | 62 | **72** | D18 | Input(132)<br>Output(133)<br>Control(134) | 84 |
| **55** | D1 | Input(96)<br>Output(97) | 63 | **73** | D19 | Input(135)<br>Output(136)<br>Control(137) | 85 |
| **56** | D2 | Input(98)<br>Output(99) | 64 | **74** | D20 | Input(138)<br>Output(139)<br>Control(140) | 86 |
| **57** | D3 | Input(100)<br>Output(101) | 67 | **75** | D21 | Input(141)<br>Output(142)<br>Control(143) | 87 |
| **58** | D4 | Input(102)<br>Output(103) | 68 | **76** | D22 | Input(144)<br>Output(145)<br>Control(146) | 88 |
| **59** | D5 | Input(104)<br>Output(105) | 69 | **77** | D23 | Input(147)<br>Output(148)<br>Control(149) | 89 |
| **60** | D6 | Input(106)<br>Output(107) | 70 | **78** | D24 | Input(150)<br>Output(151)<br>Control(152) | 90 |
| **61** | D7 | Input(108)<br>Output(109) | 71 | **79** | D25 | Input(153)<br>Output(154)<br>Control(155) | 91 |
| **62** | D8 | Input(110)<br>Output(111) | 72 | **80** | D26 | Input(156)<br>Output(157)<br>Control(158) | 92 |
| **63** | D9 | Input(112)<br>Output(113) | 73 | **81** | D27 | Input(159)<br>Output(160)<br>Control(161) | 93 |
| **64** | D10 | Input(114)<br>Output(115) | 74 | **82** | D28 | Input(162)<br>Output(163)<br>Control(164) | 94 |
| **65** | D11 | Input(116)<br>Output(117) | 75 | **83** | D29 | Input(165)<br>Output(166)<br>Control(167) | 95 |
| | D12 | Input(118)<br>Output(119) | 76 | **84** | D30 | Input(168)<br>Output(169)<br>Control(170) | 96 |

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| **67** | D13 | Input(120)<br>Output(121) | 77 | **85** | D31 | Input(171)<br>Output(172)<br>Control(173) | 97 |
| **68** | D14 | Input(122)<br>Output(123) | 80 | | | | |

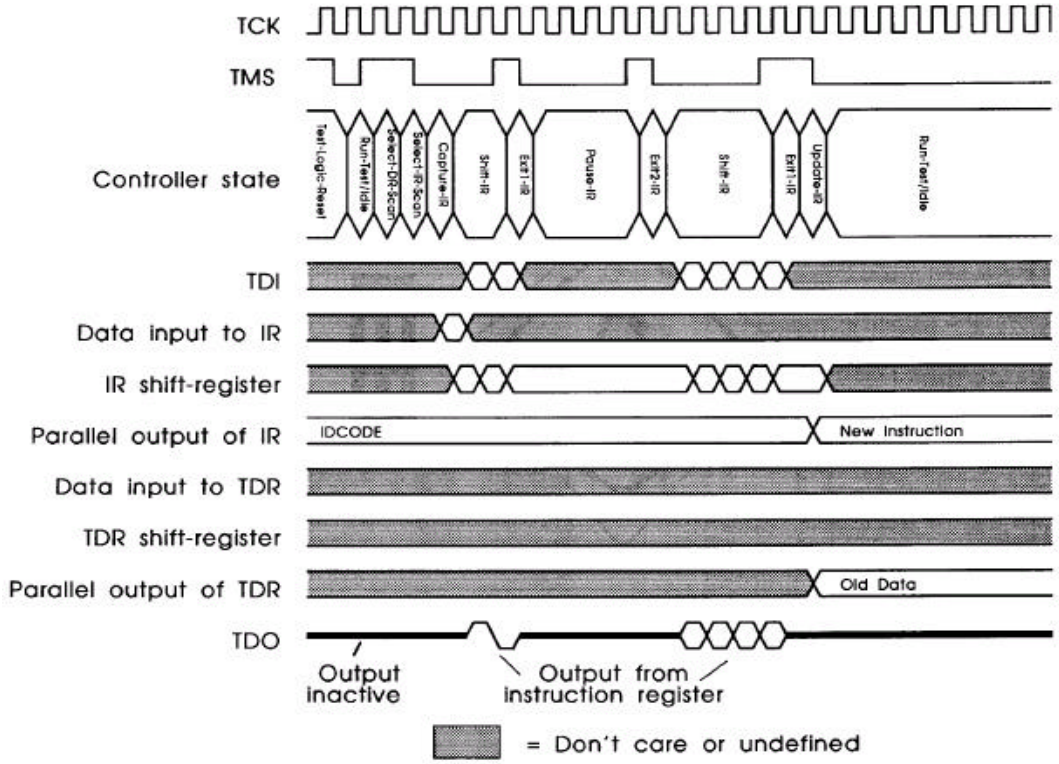
D31핀이 TDI와 제일 가깝게 연결되어 있고, TX0/PCS1핀이 TDO와 제일 가깝게 연결되어 있다. Boundary-scan register 입장에서는 D31핀부터 1번 비트가 된다고 할 수 있다. 그러나, TDI로 데이터를 집어 넣을 때는 TDO와 제일 가까운 TX0/PCS1핀의 데이터를 먼저 넣어야 한다. 아래 표는 먼저 들어가는 데이터를 1번으로 표시하였다. 전체 entry는 173로 TDI에 마지막으로 넣을 데이터는 D31의 ‘D31 Control’ register값이다.

한가지 주의 할 것은 Boundary-scan register의 12bit에 RA0(A2)가 빠져 있다. 이는 설계상의 문제로 다음 버전에서는 추가될 것이다. 입력 또는 출력 전용의 핀들은 하나의 cell만을 가지고 있고, input 또는 Output으로 표시되어 있다. 양방향 핀은 Input, Output, Control의 cell를 가지고 있어, Control이 0일 때 출력, 1일 때 입력으로 사용된다.

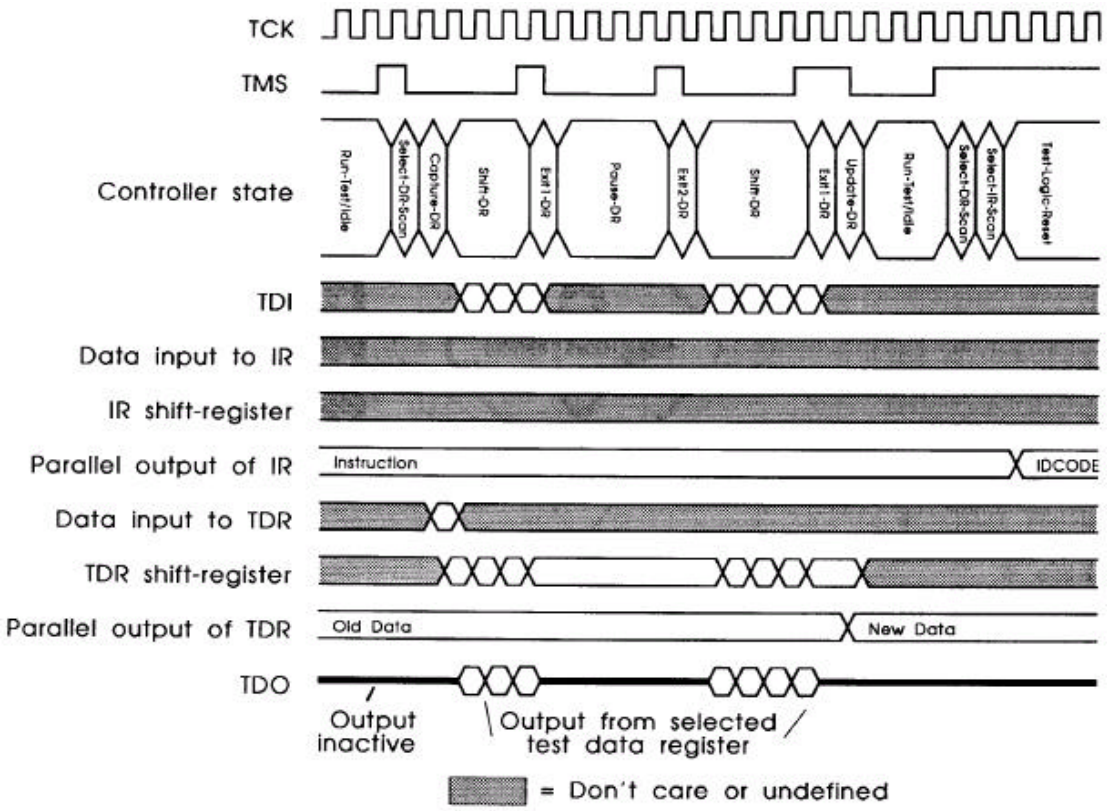
Control cell 중에서 주의할 것이 있다. Bit36(A26)에는 Control cell이 없고 Bit37(A27)의 control cell에 의해 함께 제어된다. 그리고 D0에서 D15의 입출력은 D0의 control cell 하나에 의해 제어된다.
전체 entity는 173개가 된다.

## 6.5 JTAG 동작 순서

A. POR을 통하여 JTAG Test mode로 설정한다
B. Instruction을 설정한다.
JTAG instruction을 설정하기 위해 아래의 그림과 같이 TCK, TMS, TDI값을 인가하여 shift-IR state에서 jtag instruction을 연속적으로 인가하여 준다.
EXTEST명령으로 들어가기 위한 timing diagram이 아래에 보여진다. 이를 위해 SHIFT-IR state에서 TDI에 4’b0000를 TCK 4 cycle동안 인가해준다.




C. 설정된 Instruction에 따른 Data Register에 원하는 값을 인가한다.




위의 그림에서 Instruction Register가 4'b0000으로 설정이 되면 EXTEST 명령으로 Data Register는 Boundary Scan Chain Register로 지정이 되고 TAP controller는 Boundary Scan Cell를 제어하기 위한 시그널을 생성해주게 된다. Boundary scan cell에 어떠한 값을 인가하기 위해서는 Scan-DR모드의 SHIFT-DR state에서 이루어 진다. Boundary-scan Register Pin Map에서 설명한 순서대로 boundary scan register의 값을 연속적으로 TDI 에 데이터를 인가하여 설정할 수 있다.
Instruction이 Bypass인 경우에는 Bypass Register, Instruction이 IDCODE인 경우에는 IDCODE Register가 Data Register로 설정이 된다.

# 7. ELECTRICAL CHARACTERISTICS

## 7.1 Absolute Maximum Rating

| Parameter | Symbol | Rating | | Units |
|---|---|---|---|---|
| Supply Voltage | $V_{DD}/V_{DDA}$ | – 0.3 to 3.8 | | V |
| DC input Voltage | $V_{IN}$ | 3.3 V I/O | – 0.3 to $V_{DD}$ + 0.3 | V |
| | | 5 V-tolerant | – 0.3 to 5.5 | |
| DC input current | $I_{IN}$ | ± 10 | | mA |
| Operating temperature | $T_{OPR}$ | 0 to 70 | | °C |
| Storage temperature | $T_{STG}$ | – 40 to 125 | | °C |

Table 7-1. Absolute Maximum Rating

## 7.2 DC Characteristics

| Parameter | Symbol | Rating | Units |
|---|---|---|---|
| Supply Voltage | $V_{DD}/V_{DDA}$ | 3.0 to 3.6 | V |
| Oscillator frequency | $f_{OSC}$ | 10 to 40 | MHz |
| External Loop Filter Capacitance | $L_F$ | 820 | pF |
| Commercial temperature | $T_A$ | 0 to 70 | °C |

Table 7-2. DC Characteristics

NOTES

- ✓ It is strongly recommended that all the supply pins (VDD/VDDA) be powered from the same source to avoid power latch-up.

## 7.3 DC ELECTRICAL CHARACTERISTICS

VDD=3.3V+/-0.3V, VEXT = 5+/-0.25V, TA=0 to 70 Centigrade (In case of 5V-tolerant I/O)

| Parameter | | Symbol | Conditions | Min | Typ | Max | Unit |
|---|---|---|---|---|---|---|---|
| High level input voltage | LVCMOS interface | $V_{IH}$(1) | – | 2.0 | – | – | V |
| Low level input voltage | LVCMOS interface | $V_{IL}$(1) | – | – | – | 0.8 | V |
| Switching threshold | | VT | LVCMOS | – | 1.4 | – | V |
| Schmitt trigger positive-going threshold | | VT+ | LVCMOS | – | – | 2.0 | – |
| Schmitt trigger negative-going threshold | | VT– | LVCMOS | 0.8 | – | – | – |
| High level input current | Input buffer | $I_{IH}$ | $V_{IN} = V_{DD}$ | – 10 | – | 10 | µA |
| | Input buffer with pull-up | | | 10 | 30 | 60 | |
| Low level input current | Input buffer | $I_{LH}$ | $V_{IN} = V_{SS}$ | – 10 | – | 10 | µA |
| | Input buffer with pull-up | | | – 60 | – 30 | – 10 | |
| High level output voltage | Type B1 to B16(2) | $V_{OH}$ | $I_{OH}$ = – 1uA | $V_{DD}$ – 0.05 | – | – | V |
| | Type B1 | | $I_{OH}$ = – 1 mA | 2.4 | | | |
| | Type B2 | | $I_{OH}$ = – 2 mA | | | | |
| | Type B4 | | $I_{OH}$ = – 4 mA | | | | |
| | Type B6 | | $I_{OH}$ = – 6 mA | | | | |
| Low level output voltage | Type B1 to B16(2) | $V_{OL}$ | $I_{OL}$ = – 1uA | | | 0.05 | V |
| | Type B1 | | $I_{OL}$ = – 1 mA | | | 0.4 | |
| | Type B2 | | $I_{OL}$ = – 2 mA | | | | |
| | Type B4 | | $I_{OL}$ = – 4 mA | | | | |
| | Type B6 | | $I_{OL}$ = – 6 mA | | | | |
| Tri-state output leakage current | | $I_{OZ}$ | $V_{OUT} = V_{SS}$ or $V_{DD}$ | – 10 | | 10 | µA |
| Maximum operating current | | $I_{DD}$ | $V_{DD}$ = 3.3 V, $f_{MCLK}$ = 40MHz | | | | mA |

Table 7-3. DC Electrical Characteristics

**NOTES:**

1. All 5V-tolerant input have less than 0.2V hysterisis.
2. Type B1 means 1mA output driver cells, and Type B6/B24 means 6mA/24mA output driver cells .

## 7.4 A.C Electrical Characteristics

(Ta = 0 to +70 Centigrade, Vdd = 3.0V to 3.6V, LSDRCLK = 40MHz)

| Signal Name | Description | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| $f_{EXTCLK}$ | EXTCLK input frequency when not using PLL | 0 | | 80 | MHz |
| $f_{PLLIN}$ | EXTCLK input frequency for PLL | | 14.318 | | |
| $t_{ADDR}$ | Address delay time | | | 6.1 | ns |
| $t_{NCS}$ | ROM/SRAM or external I/O bank chip select delay time | | | 4.3 | |
| $t_{NOE}$ | ROM/SRAM or external I/O bank output enable delay | | | 2.5 | |
| $t_{NWE}$ | ROM/SRAM or external I/O bank write enable delay | | | 2.6 | |
| $t_{RDh}$ | Read data hold time | 3.0 | | | |
| $t_{WD}$ | Write data delay time (SRAM or external I/O) | | | 6.8 | |
| $t_{WS}$ | WAITX sampling setup time | 0 | | | |
| $t_{WH}$ | WAITX sampling hold time | 3.0 | | | |
| $T_{NRASD}$ | DRAM row address strobe active delay | | | 2.8 | |
| $t_{NCASD}$ | DRAM column address strobe active delay | | | 3.0 | |
| $t_{NDWE}$ | DRAM bank write enable delay time | | | 2.0 | |
| $t_{WDD}$ | DRAM write data delay time (DRAM) | | | 4.1 | |

Table 7-4. Local BUS Timing Characteristics

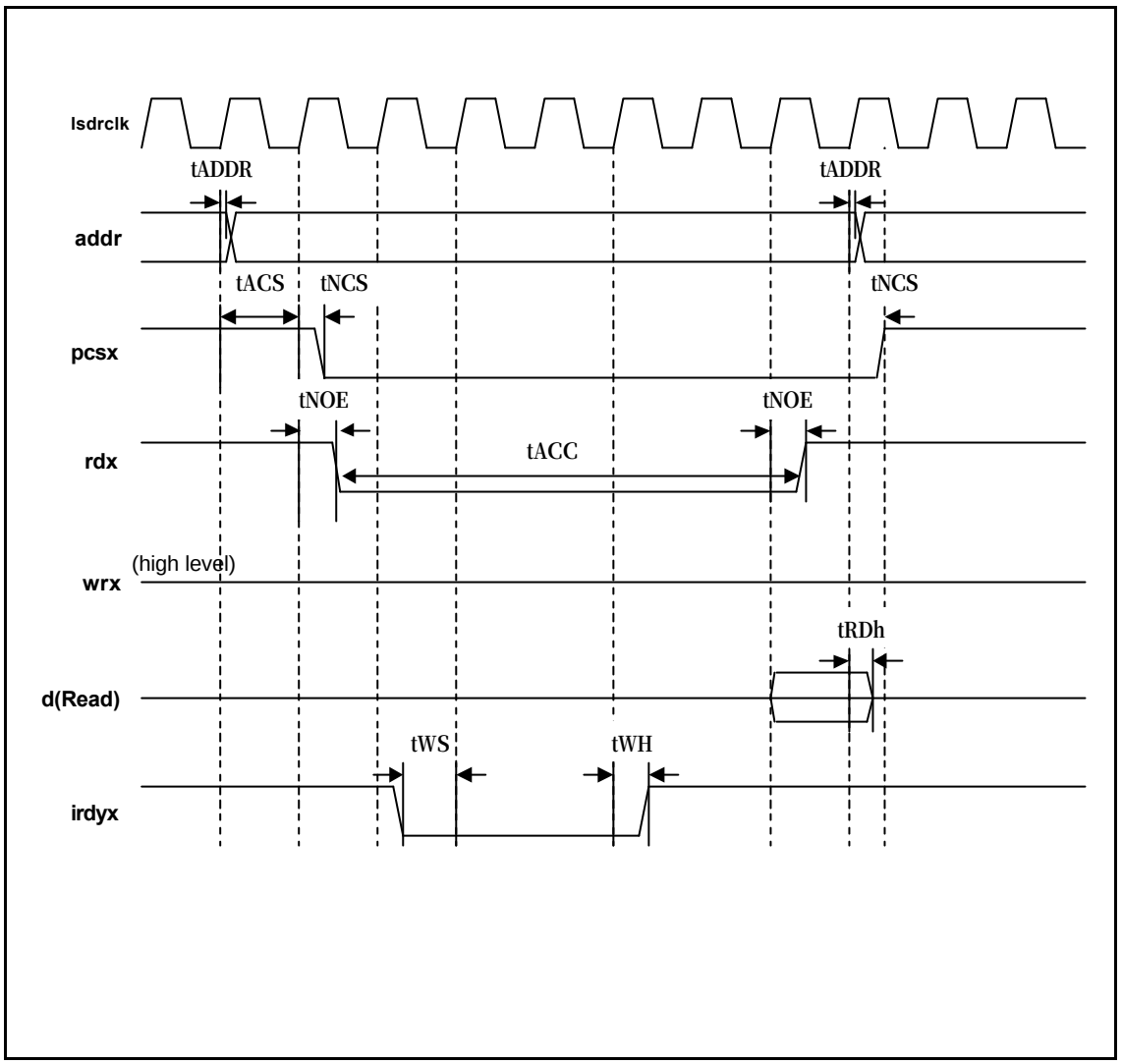



Figure 7.4-1 External I/O, ROM Read Timing with Wait (irdyx) ($t_{ACC}$ = programmable, $t_{ACS}$ = 1)

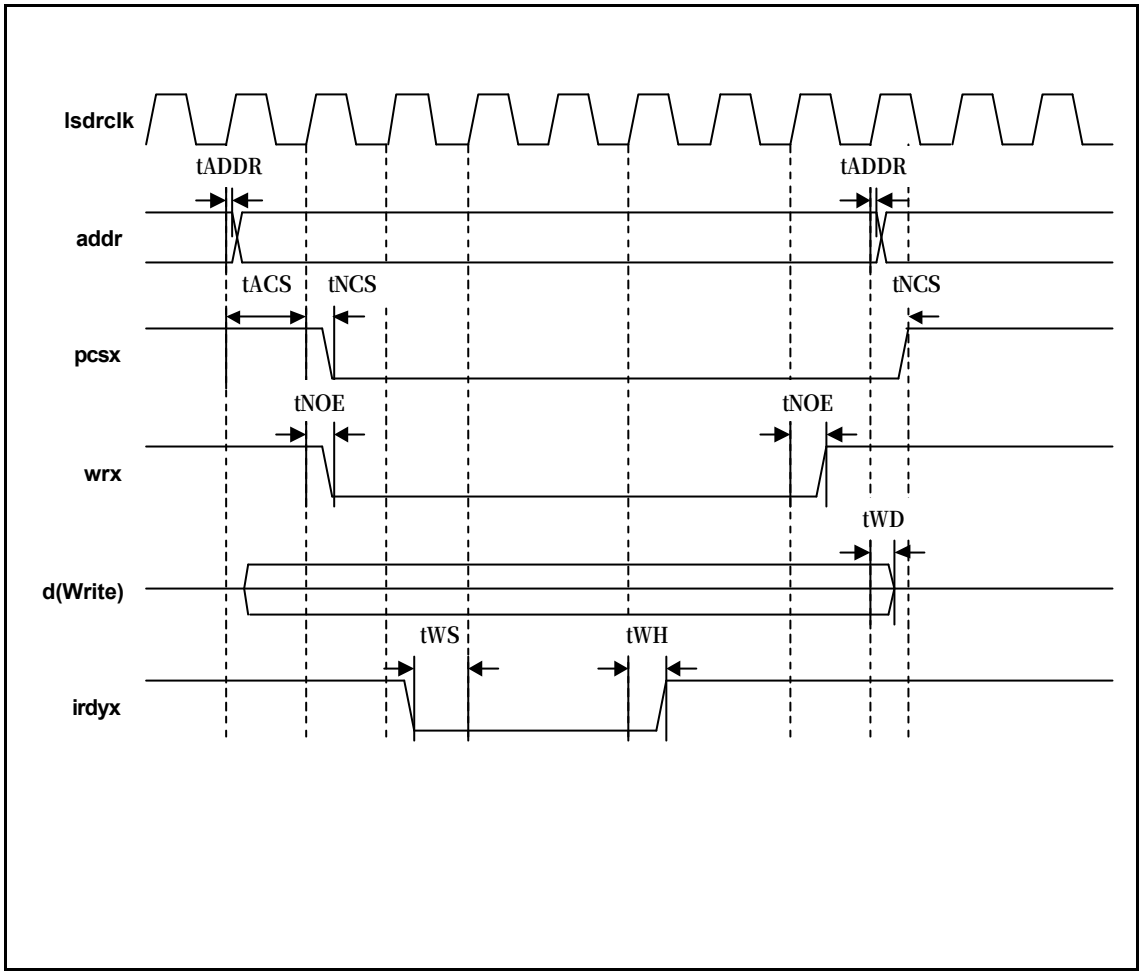



Figure 7.4-2 External I/O, ROM Write Timing with Wait (irdyx) : ($t_{ACC}$ = programmable, $t_{ACS}$ = 1)

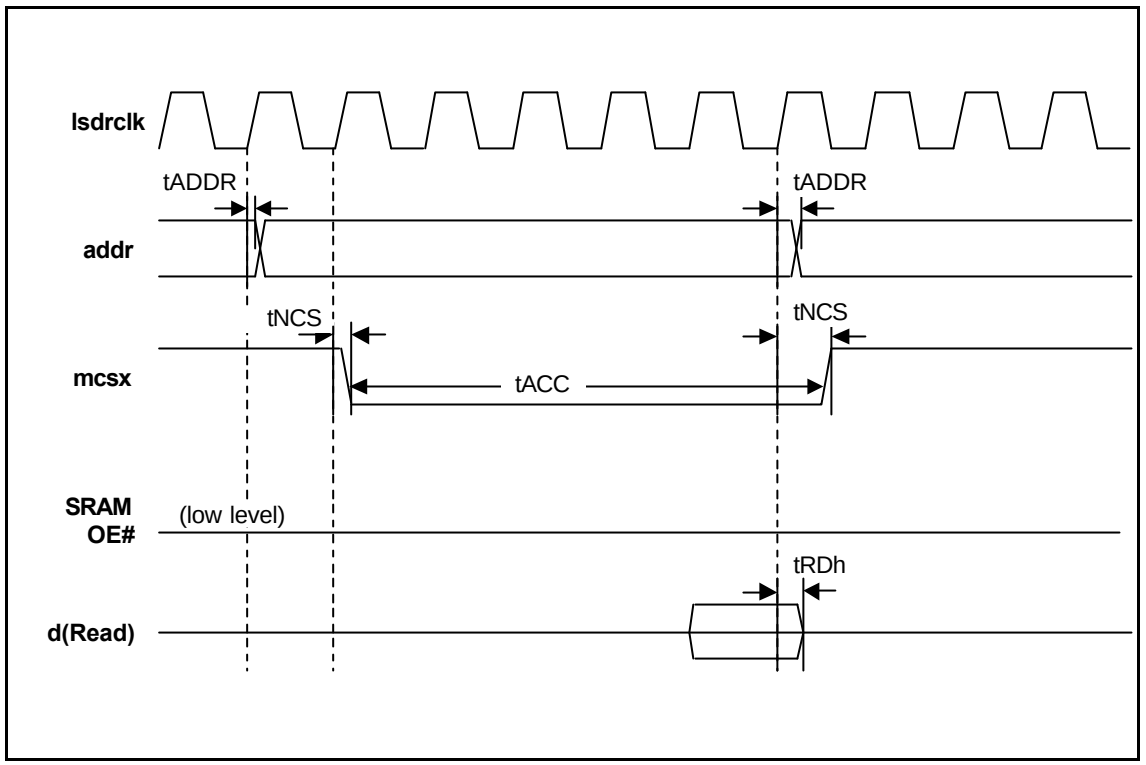



Figure 7.4-1 SRAM Read Access Timing ($t_{ACC}$ = programmable)

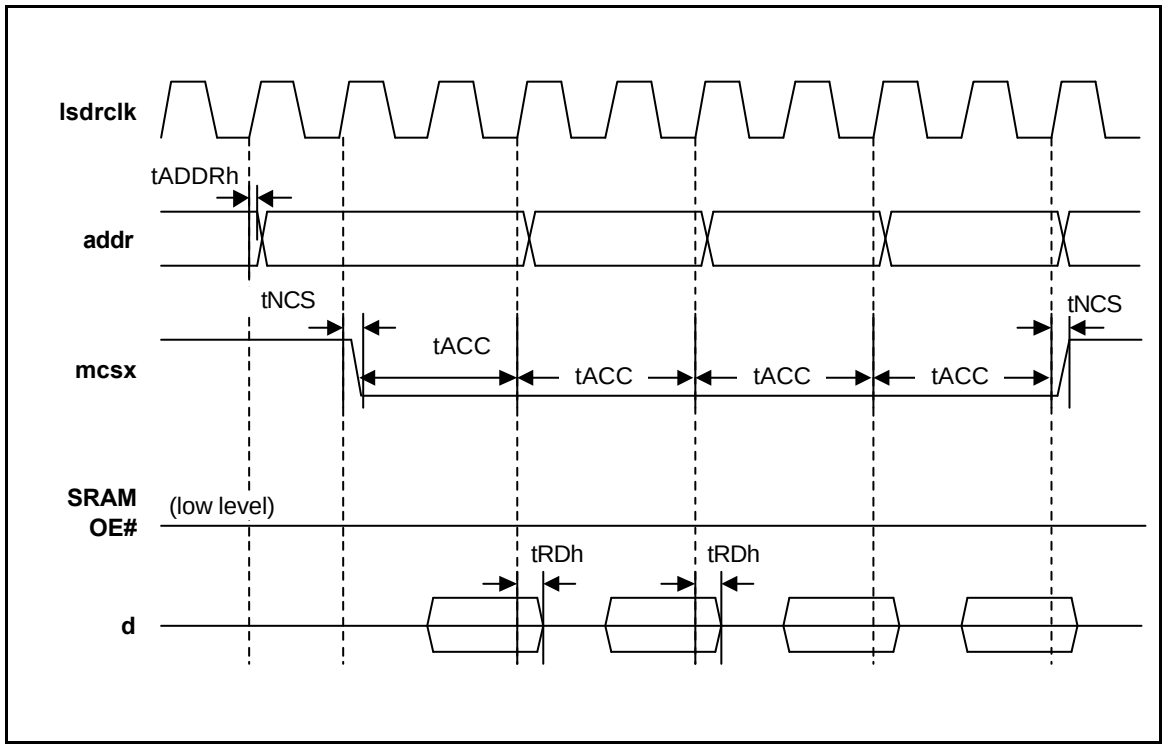



Figure 7.4-2 SRAM Page Read Access Timing ($t_{ACC}$ = programmable)

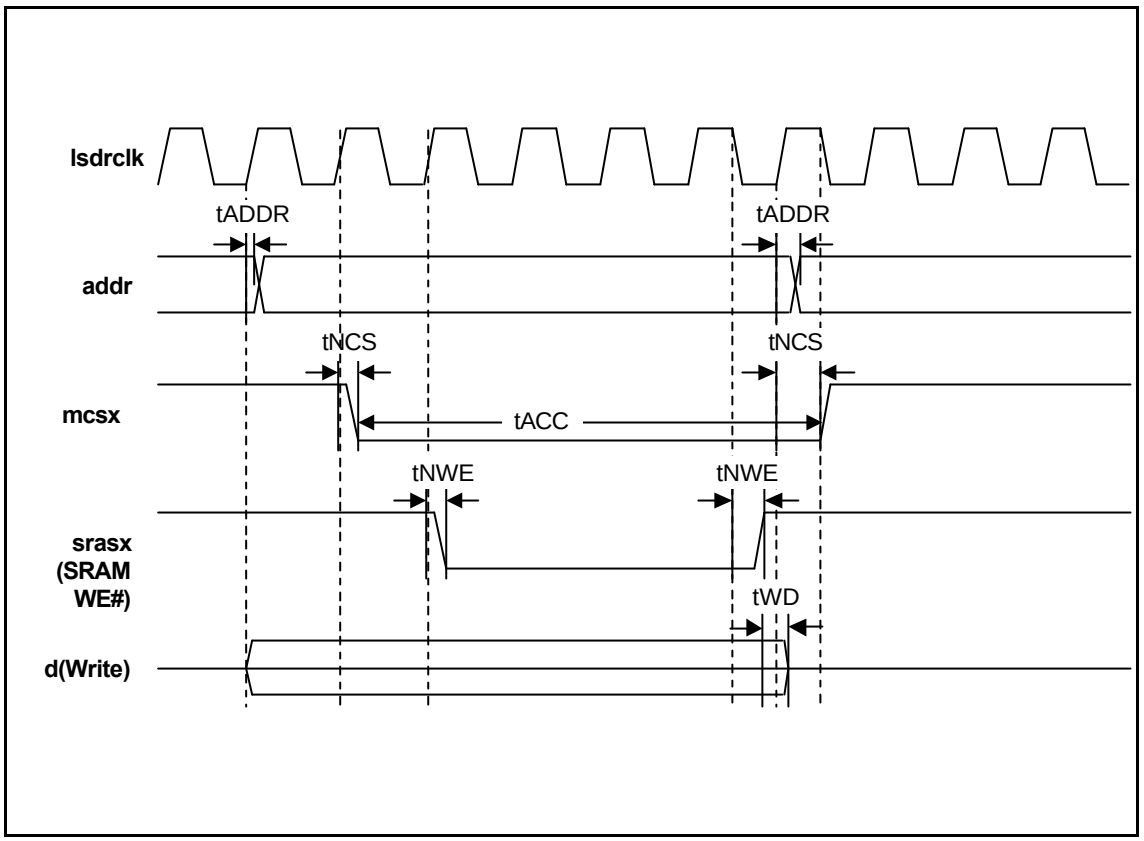



Figure 7.4-3 SRAM Write Access Timing ($t_{ACC}$ = programmable)

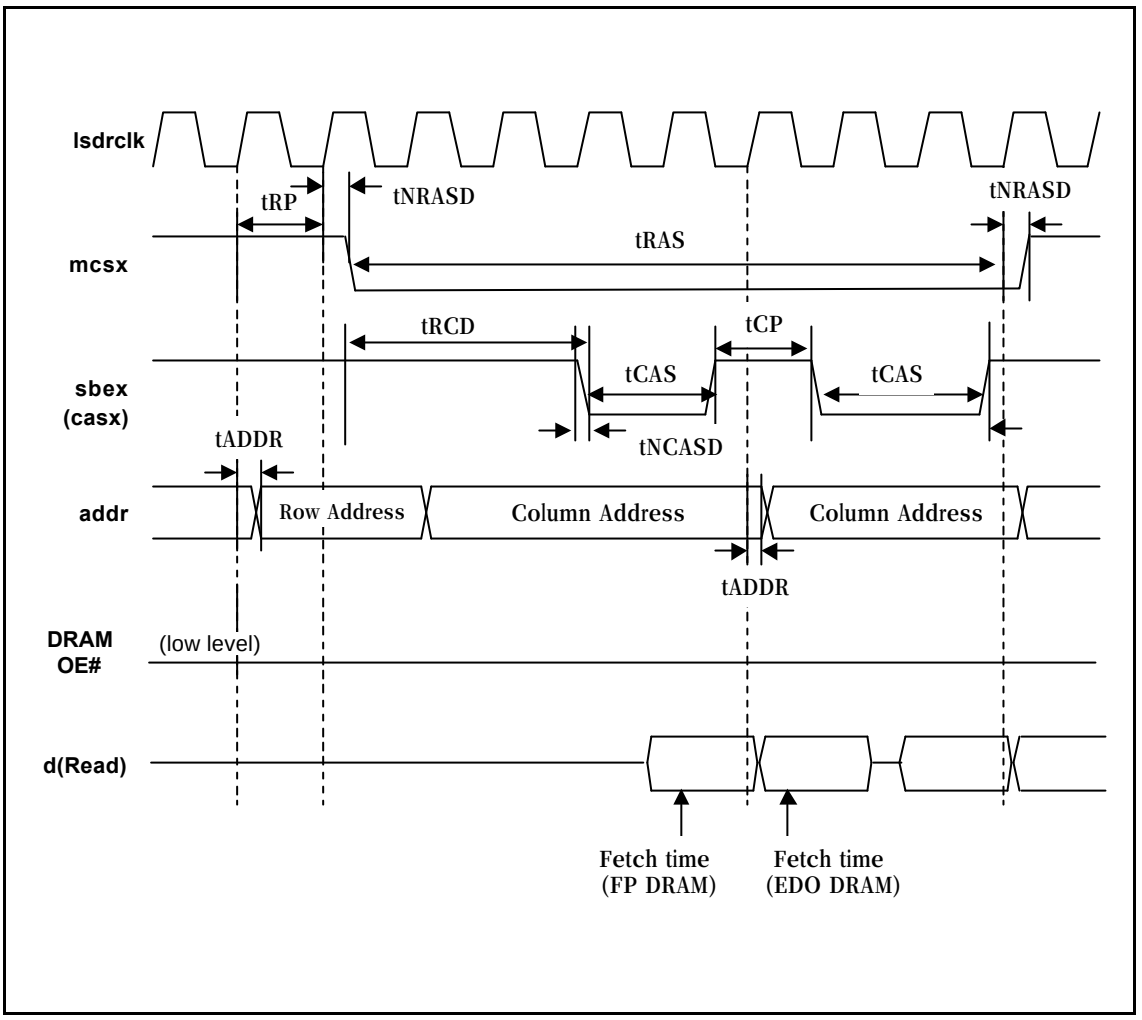



Figure 7.4-4 EDO/FP DRAM Bank Read Timing (Page Mode) : ($t_{RAS}$, $t_{RP}$, $t_{CAS}$, $t_{CP}$ = programmable)

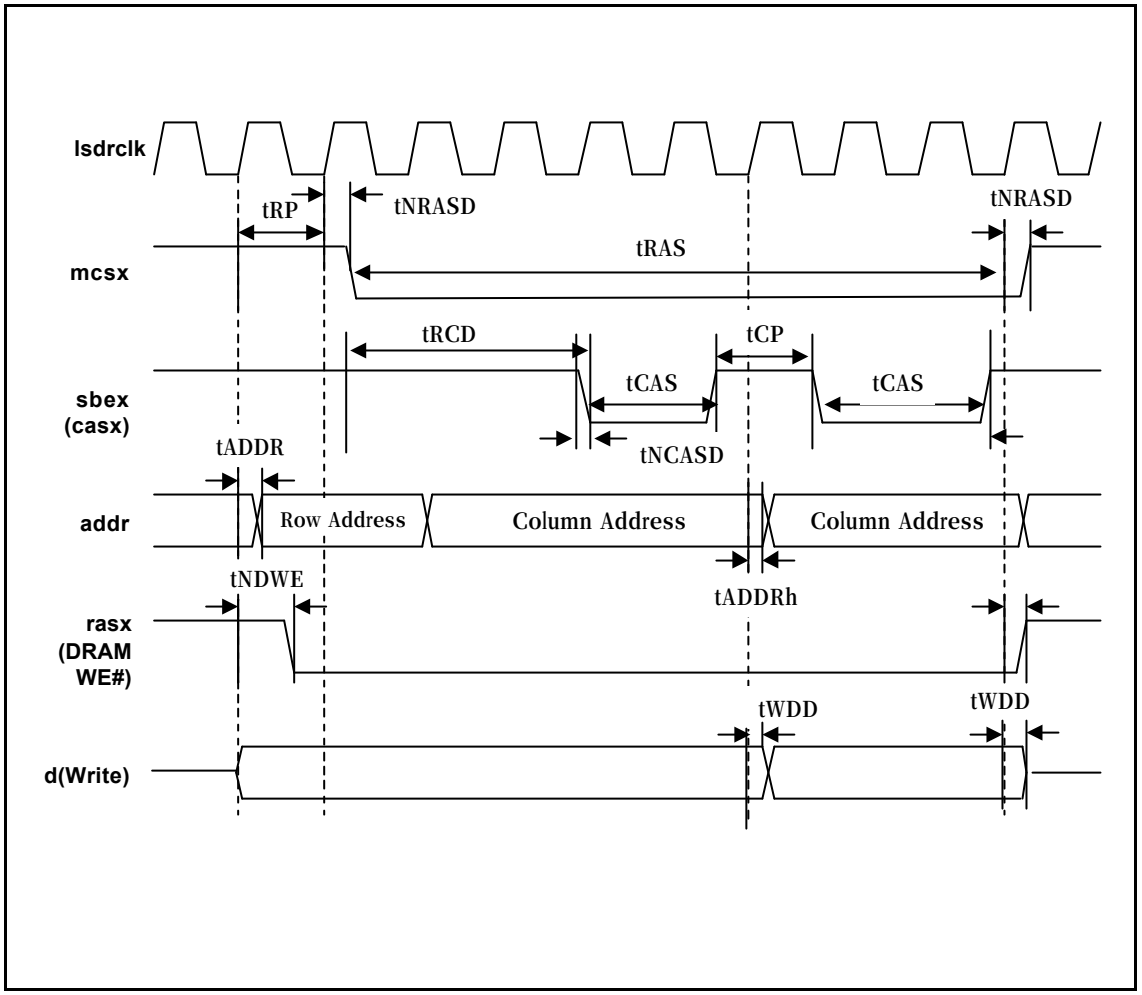



Figure 7.4-5 EDO/FP DRAM Bank Write Timing (Page Mode) : ($t_{RAS}$, $t_{RP}$, $t_{CAS}$, $t_{CP}$ = programmable)

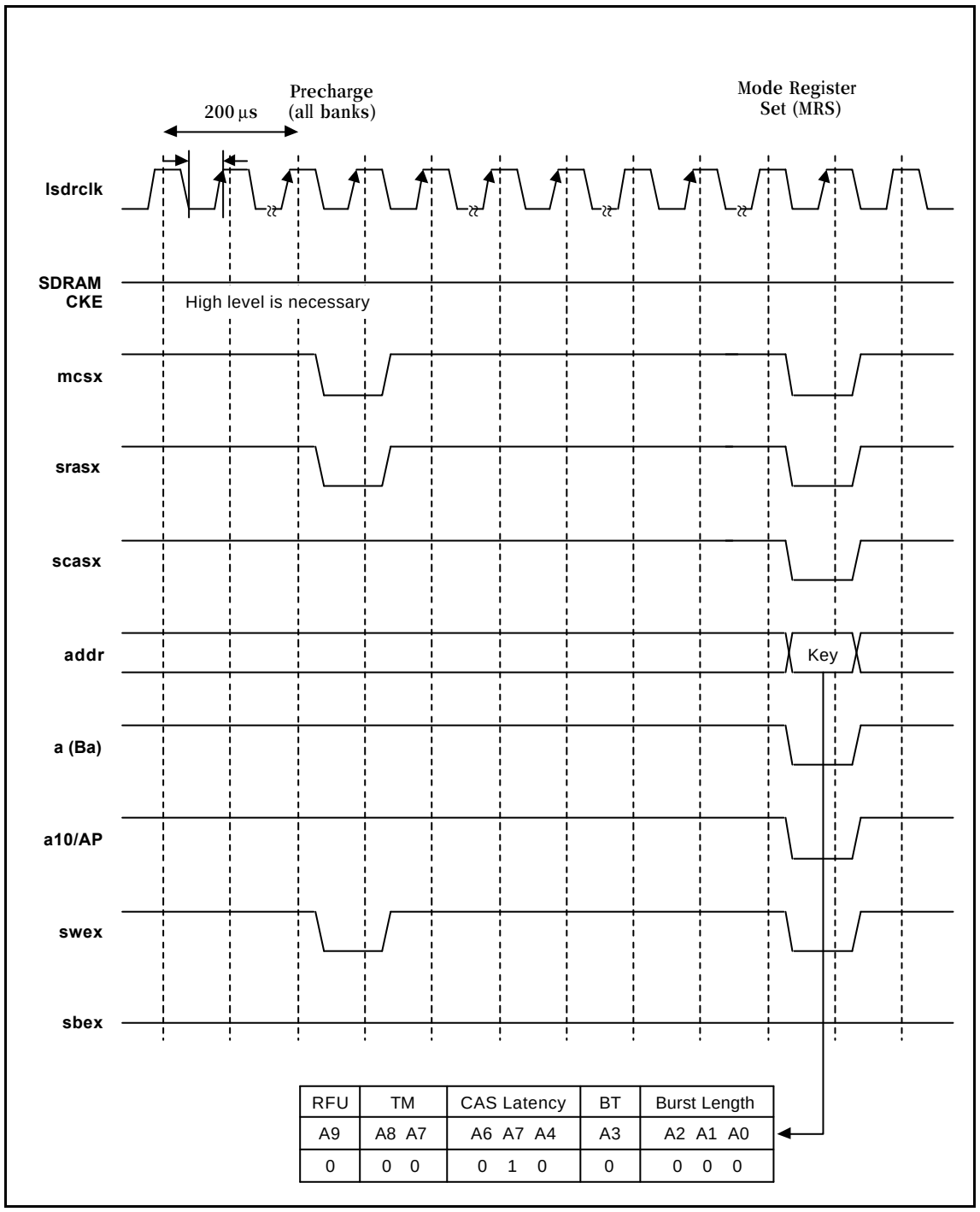



Figure 7.4-6 SDRAM Power-up Sequence

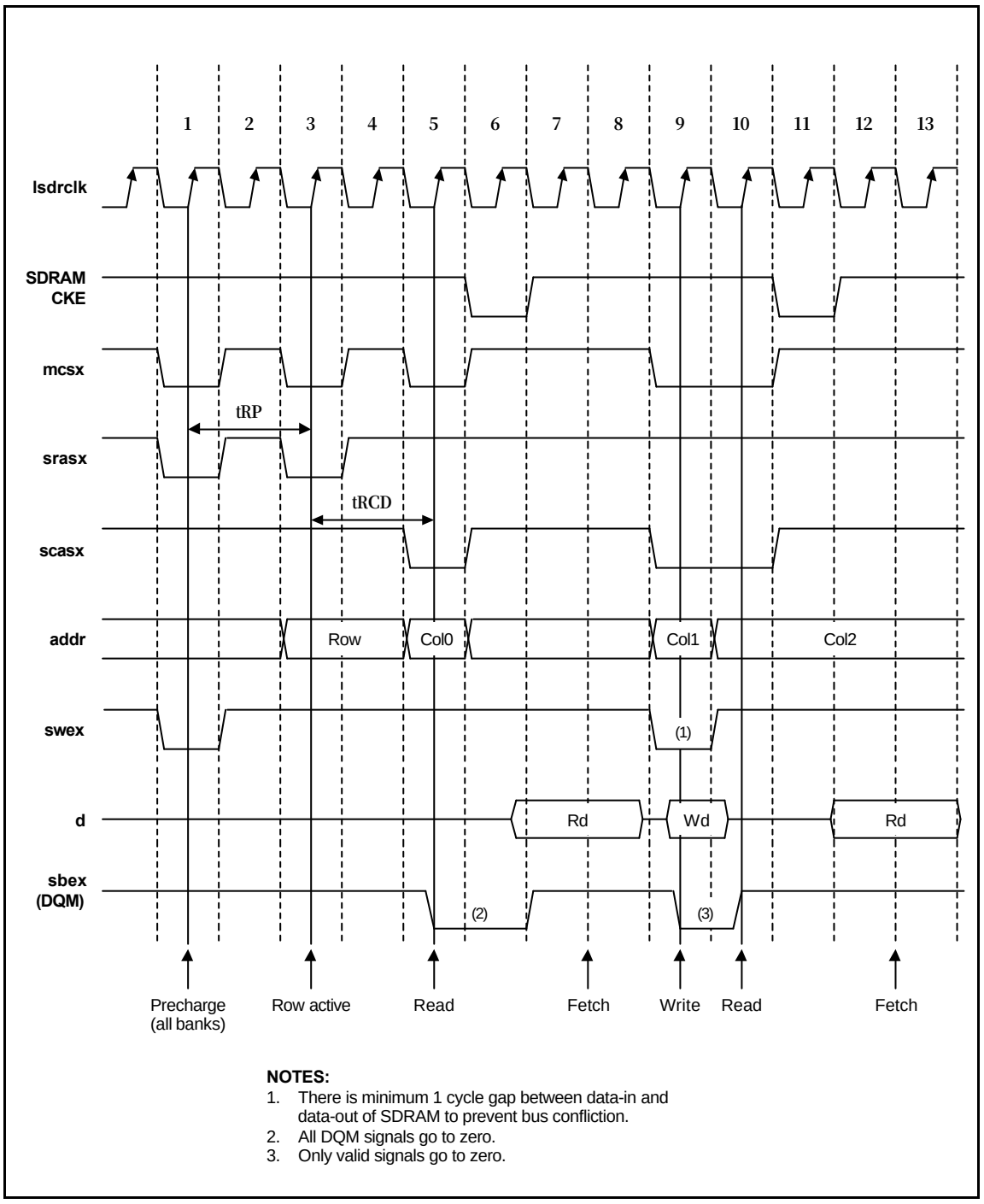



Figure 7.4-7 Non-burst, Read-Write-Read Cycles @CAS Latency = 2, Burst Length = 1 ($t_{RP}$, $t_{RCD}$ = programmable)

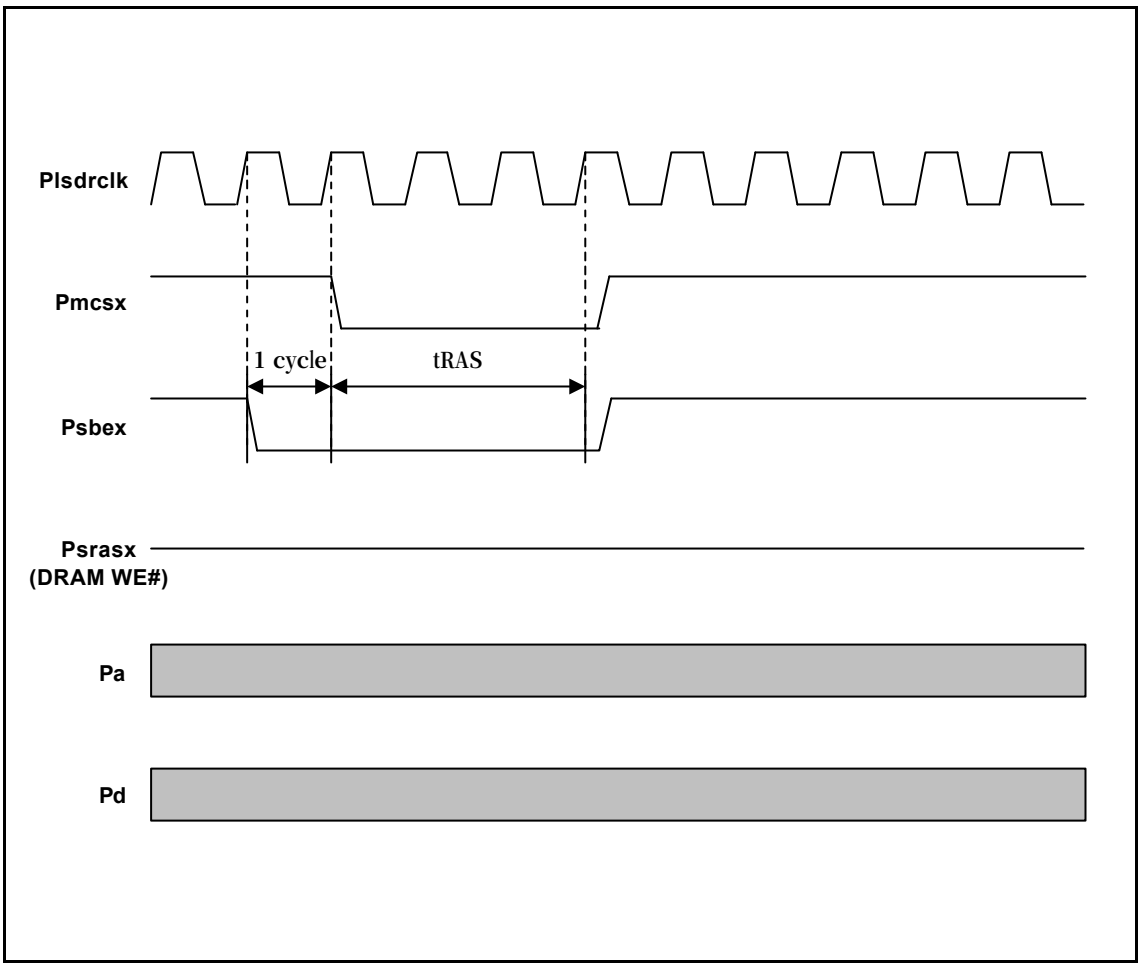



Figure 7.4-8 EDO/FP DRAM Refresh Timing (CBR (Cas Before Ras) Refresh)

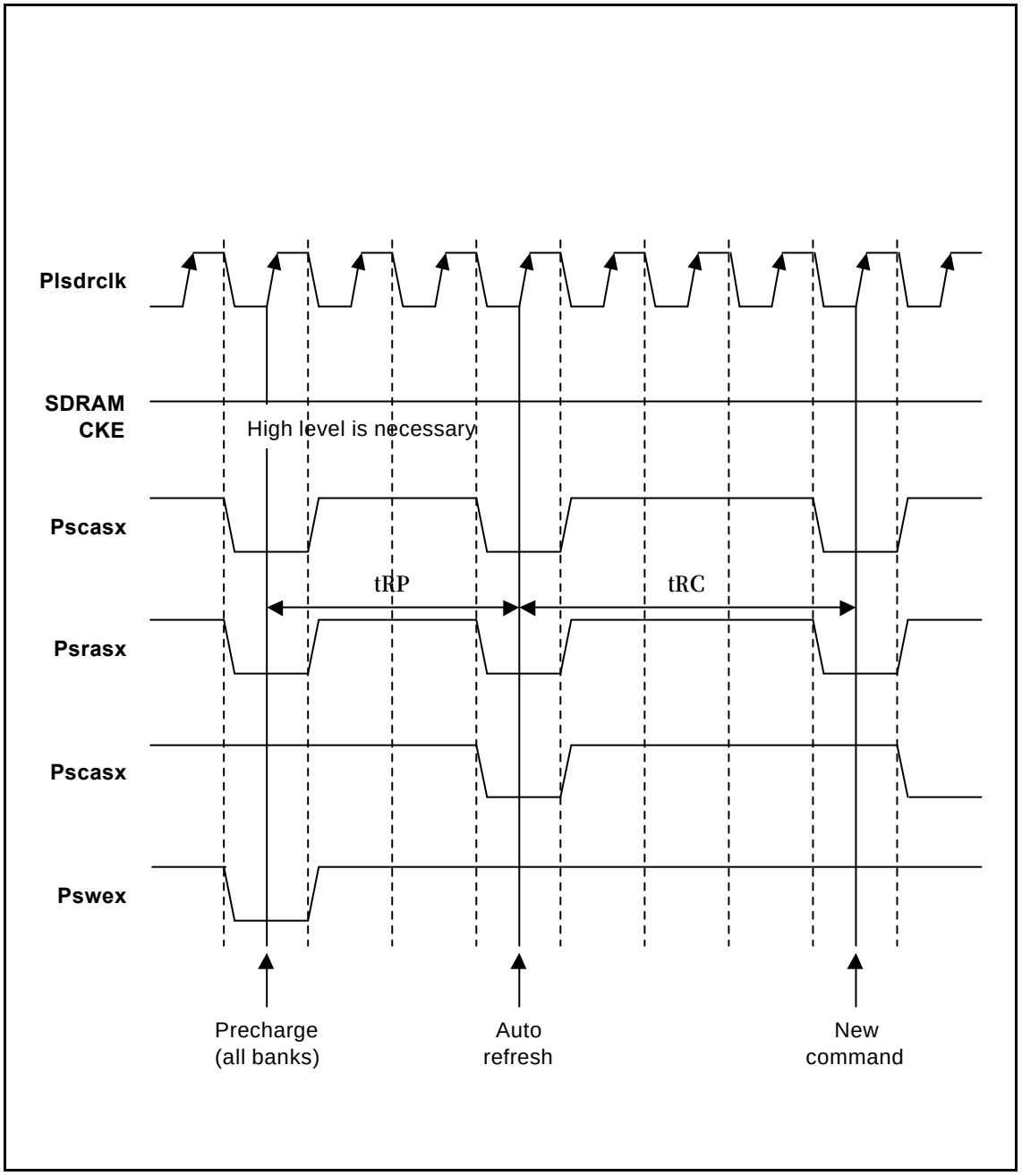



Figure 7.4-9 Auto Refresh Cycle of SDRAM ($t_{RP,}$ $t_{RCD}$ = programmable)